



PTO/SB/21 (08-03)  
Approved for use through 08/30/2003. OMB 0651-0031  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)	Application Number	10/708,785	
	Filing Date	03/25/2004	
	First Named Inventor	Hsin-Shih Wang	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	FTCP0027USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
<b>Remarks</b>		

**SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT**

Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	4/5/2004

**CERTIFICATE OF TRANSMISSION/MAILING**

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)  
Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☒ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

## Complete if Known

Application Number	10/708,785
Filing Date	03/25/2004
First Named Inventor	Hsin-Shih Wang
Examiner Name	
Art Unit	
Attorney Docket No.	FTCP0027USA

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801  
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$ ) 0.00

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims		-20** =		X		=	
Independent Claims		-3** =		X		=	
Multiple Dependent						=	

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple dependent claim, if not paid	
1204	86	2204	43	** Reissue independent claims over original patent	
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	0.00
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) \_\_\_\_\_

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

## SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	4/15/2004		

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

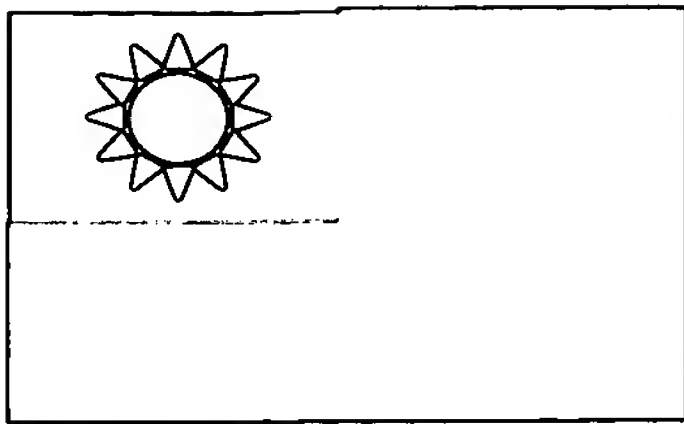
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

**DECLARATION — Supplemental Priority Data Sheet**

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092125671	Taiwan R.O.C	09/17/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 17 日  
Application Date

申請案號：092125671  
Application No.

申請人：智原科技股份有限公司  
Applicant(s)

局長  
Director General

蔡綠生

發文日期：西元 2004 年 2 月 3 日  
Issue Date

發文字號：09320095170  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	利用單一導通孔層規劃繞線佈局的方法
	英 文	METHOD FOR PROGRAMMING A ROUTING LAYOUT DESIGN THROUGH ONE VIA LAYER
二、 發明人 (共3人)	姓 名 (中文)	1. 王心石 2. 謝尚志
	姓 名 (英文)	1. WANG, HSIN-SHIH 2. SHIEH, SHANG-JYH
	國 籍 (中英文)	1. 美國 US 2. 中華民國 TW
	住居所 (中 文)	1. 美國加州佛里孟特綠城路四八八九0號 2. 高雄縣鳥松鄉埤埔村(路)十號
	住居所 (英 文)	1. 48890 Green Valley Rd., Fremont, CA 94539, USA 2. No. 10, Di-Pu Tsun, Niao-Sung Shian, Kao-Hsiung Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 智原科技股份有限公司
	名稱或 姓 名 (英文)	1. FARADAY TECHNOLOGY CORP.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區力行一路十號之二 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 10-2, Li-Hsin Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R. O. C.
	代表人 (中文)	1. 曹興誠
	代表人 (英文)	1. Tsao, Hsing-Cheng





申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	3. 古明鑫
	姓名 (英文)	3. KU, MING-HSIN
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中文)	3. 高雄市三民區黃興路四五五巷二十二號
	住居所 (英文)	3. 22F, Lane 455, Huang-Sing Rd., San-Min District, Kao-Hsiung City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：利用單一導通孔層規劃繞線佈局的方法)

本發明係提供一種形成繞線之方法，其包含有於一第一與一第二佈線層上形成複數條金屬接線，以及依據一預定電路佈局設計中連接一第一端點與一第二端點之第一電流路徑於一介於該第一及第二佈線層之間之導通孔層設置複數個導通孔來電連接該第一及第二佈線層上之金屬接線以形成等效於該第一電流路徑之第二電流路徑。

伍、(一)、本案代表圖為：第六圖

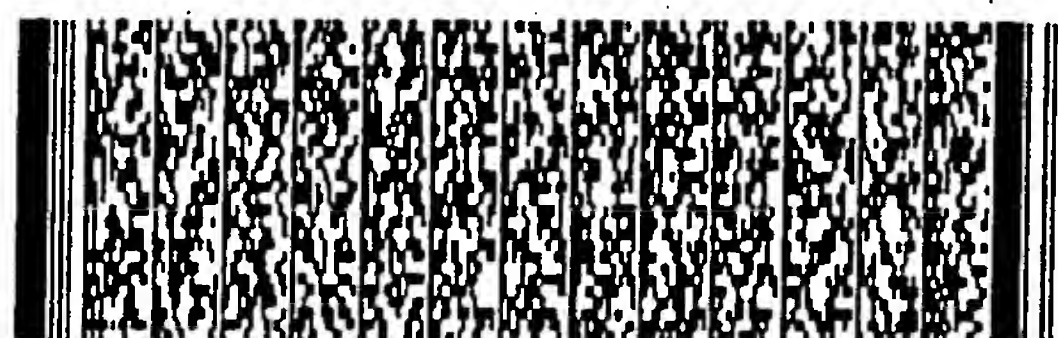
(二)、本案代表圖之元件代表符號簡單說明

00、102、104 步驟

代表化學式

六、英文發明摘要 (發明名稱：METHOD FOR PROGRAMMING A ROUTING LAYOUT DESIGN THROUGH ONE VIA LAYER)

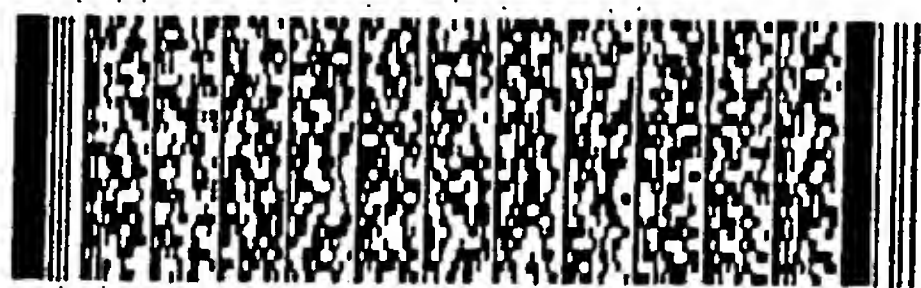
A method for programming a routing layout design through one via layer. The method includes forming a plurality of metal traces on a first routing layer and a second routing layer, and positioning a plurality of vias within a via layer disposed between the first and second routing layers for connecting the metal traces on the first and second routing layers according to



四、中文發明摘要 (發明名稱：利用單一導通孔層規劃繞線佈局的方法)

六、英文發明摘要 (發明名稱：METHOD FOR PROGRAMMING A ROUTING LAYOUT DESIGN THROUGH ONE VIA LAYER)

a first current route defined by a predetermined circuit layout design to connect a first node and second node so as to establish a second current route equivalent to the first current route.





一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



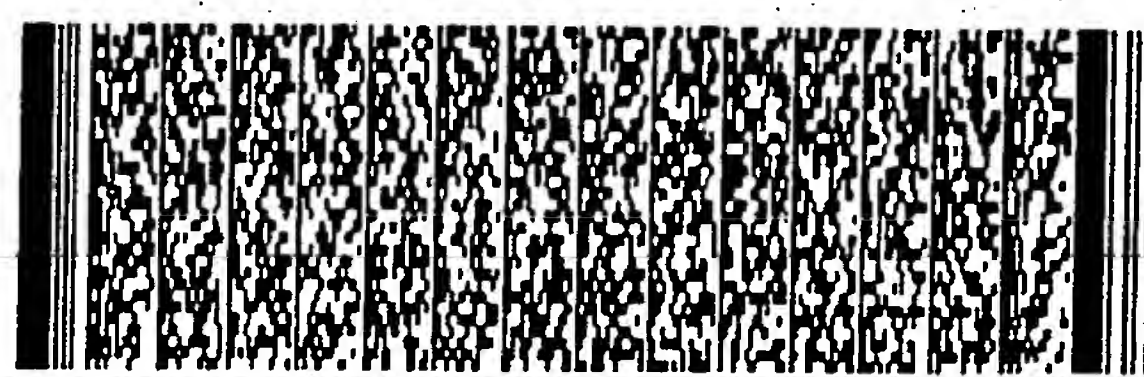
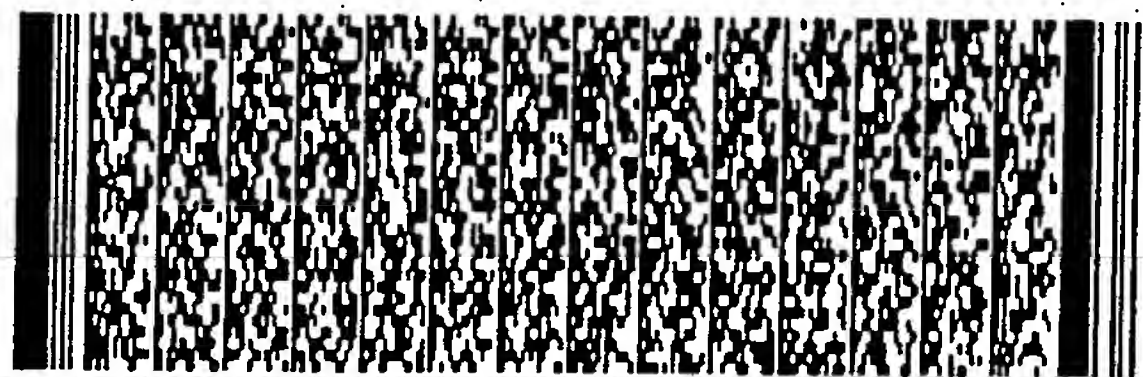
## 五、發明說明 (1)

### 發明所屬之技術領域

本發明提供一種佈線方法，尤指一種可利用單一導通孔層規劃兩金屬層之預定金屬接線配置所對應之繞線佈局的方法。

### 先前技術

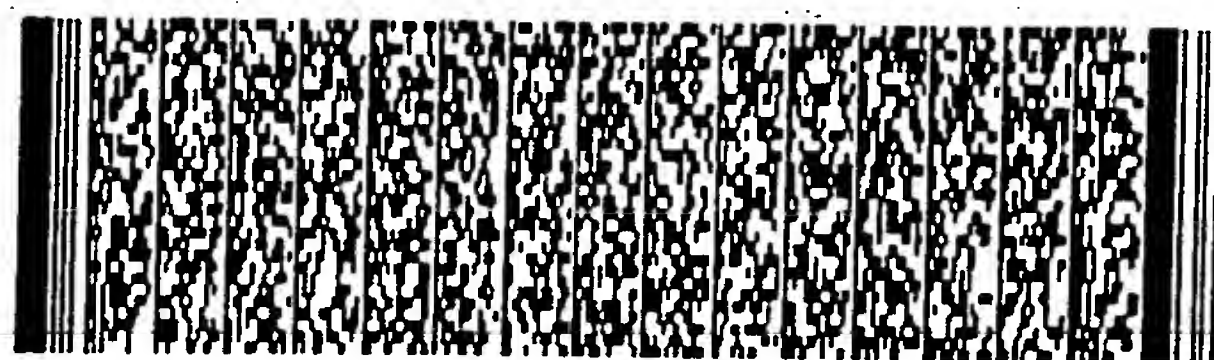
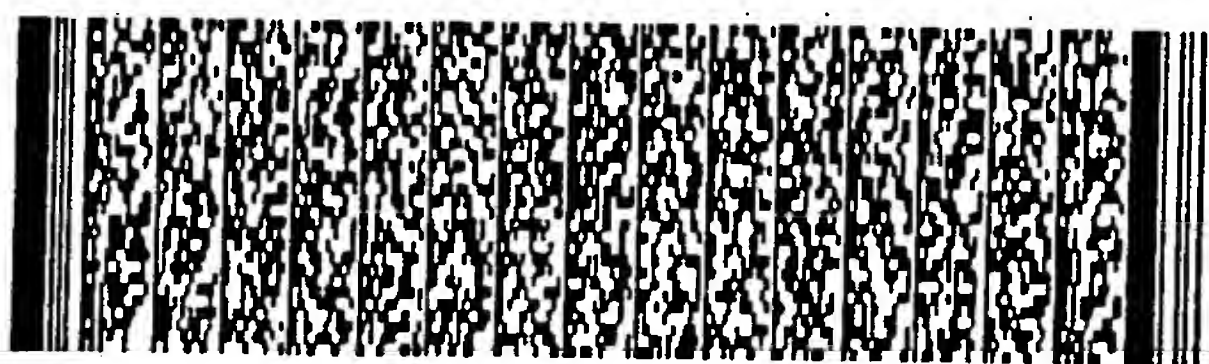
過去，電子元件（例如電容、電阻等）係經由一硬體電路板（rigid circuit board）來進行彼此間的連線，然而，隨著半導體技術的發展，同時也促進積體電路（integrated circuit, IC）的應用，亦即於同一半導體製程中，不但習知的電子元件可製造於一晶片上，另外連接該電子元件的金屬接線（metal trace）亦設置於該晶片上。目前，半導體製程主要應用次微米（sub-micro process）或深次微米製程（deep sub-micro process）的製作技術而大幅降低線寬，所以單一晶片上所能容納的元件數便大幅提升，同時可包含更複雜的電路。一般而言，上述連接各元件的金屬接線主要形成於金屬層上，而隨著製程的進步，可用來設置金屬接線之金屬層數量也隨之增加。舉例來說，對於0.18製程而言，可用來設置金屬接線之金屬層數量為6層，而對於0.13製程而言，可用來設置金屬接線之金屬層數量則高達8層，所以用來設定各金屬層之繞線配置的光罩用量需



## 五、發明說明 (2)

求也隨著製程的進步而大幅地提升，換句話說，光罩的成本便會於積體電路之整體生產成本佔有極高比例。

請參閱圖一，圖一為習知積體電路 10 的架構示意圖。積體電路 10 包含有一元件層 (device layer) 12，一接點層 (contact layer) 13，複數個金屬層 (metal layer) 14a、14b、14c、14d，以及複數個導通孔層 (via layer) 15a、15b、15c。元件層 12 係為一晶圓 (wafer) 上所形成的元件，例如 N 型金屬氧化半導體電晶體 (NMOS) 以及 P 型金屬氧化半導體電晶體 (PMOS)，一般而言，元件層 12 上會覆蓋一絕緣層 (pre-metal dielectric layer, PMD layer) 以平整元件層 12 的表面，然後再形成接點層 13 於元件層 12 上。接點層 13 中設置有複數個接觸插塞 (contact plug) 來連接元件層 12 中的元件，例如使用一接觸插塞來接觸一 N 型金屬氧化半導體電晶體或一 P 型金屬氧化半導體電晶體上的閘極、源極或汲極，換句話說，該複數個接觸插塞係該元件層 12 中元件的相對應接點 (contact)，最後便使用複數個光罩分別於金屬層 14a、14b、14c、14d 上定義適當繞線圖樣 (routing pattern) 以便產生所要的金屬接線，同時亦利用複數個光罩於導通孔層 15a 上設置導通孔以電連接金屬層 14a、14b 上的金屬接線。同樣地，可利用複數個光罩於導通孔層 15b 上設置導通孔以電連接金屬層 14b、14c 上的金屬接線，以及可利用複數個光罩於導通孔層 15c 上

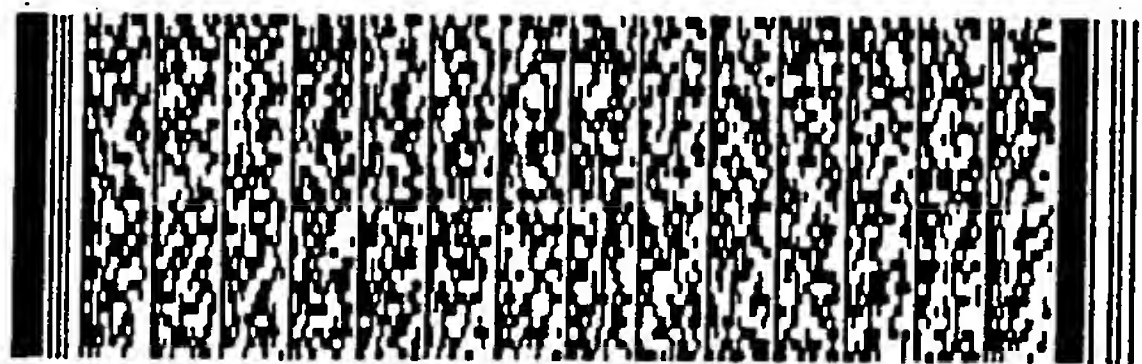




### 五、發明說明 (3)

來設置導通孔以電連接金屬層 14c、14d 上的金屬接線。此外，最上層的金屬層 14d 係用來設置共用走線 (global trace)，例如時脈走線 (clock trace) 及電源走線 (power trace) 等。換句話說，為了使該積體電路可依據設計來正確地執行一預定邏輯運算，則元件層 12 中各元件之間需透過金屬層 14a、14b、14c、14d 與導通孔層 15a、15b、15c 來建立相對應的電流路徑以正確地傳遞訊號。

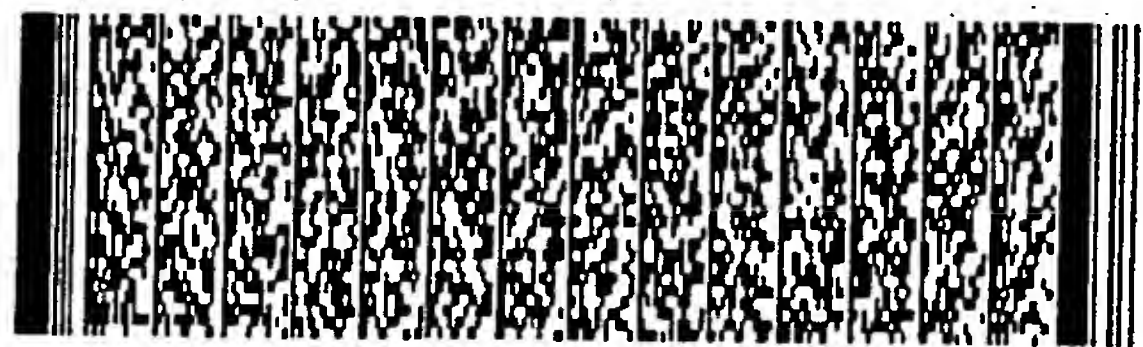
請參閱圖二，圖二為圖一所示之金屬層 14b、14c 的示意圖。金屬層 14b 上設置有複數條橫向的金屬接線 16a、16b，而金屬層 14c 上則設置有複數條縱向的金屬接線 17a、17b、17c、17d、17e。若金屬層 14c 上的端點 A1 需電連接於金屬層 14c 上的端點 A2，金屬層 14c 上的端點 B1 需電連接於金屬層 14c 上的端點 B2，以及金屬層 14c 上的端點 C1 需電連接於金屬層 14c 上的端點 C2。由於端點 C1 與端點 C2 係位於同一垂直軌道上，因此僅需利用金屬接線 17c 即可連接端點 C1、C2。然而，端點 A1 與端點 A2 係位於不同的垂直軌道上，因此必須透過金屬層 14b 與導通孔層 15b 的輔助才可順利地連接端點 A1、A2；同樣地，端點 B1 與端點 B2 亦位於不同的垂直軌道上，因此必須透過金屬層 14b 與導通孔層 15b 的輔助才可順利地連接端點 B1、B2。圖二中，複數個斜線區域 18a、18b、18c、18d 表示金屬接線 16a、16b 與金屬接線 17a、17b、17d、17e 上下



#### 五、發明說明 (4)

重疊，例如金屬接線 17a 與金屬接線 16a 於斜線區域 18a 上下重疊，而金屬接線 16a 另與金屬接線 17e 於斜線區域 18d 上下重疊。因此可於斜線區域 18a 設置一導通孔於導通孔層 15b 中，以電連接金屬接線 16a 與金屬接線 17a；同樣地，亦可於斜線區域 18d 設置一導通孔於導通孔層 15b 上，以電連接金屬接線 16a、17e，因此端點 A 便可經由金屬接線 16a、17a、17e 與設置於斜線區域 18a、18d 的導通孔而電連接於端點 A2。同樣地，由圖二可知金屬接線 17b 與金屬接線 16b 於斜線區域 18b 上下重疊，以及金屬接線 16b 與金屬接線 17d 於斜線區域 18c 上下重疊，因此可於斜線區域 18b、18c 設置導通孔於導通孔層 15b 上，以電連接金屬接線 16b、17b、17d，所以端點 B1 便可經由金屬接線 17b、16b、17d 與設置於斜線區域 18b、18c 的導通孔而電連接於端點 B1。

如上所述，於圖二中，習知技術係分別使用三層光罩以設置金屬層 14b、14c 上的金屬接線 16a、16b、17a、17b、17c、17d、17e 與設置對應斜線區域 18a、18b、18c、18d 的導通孔，以便使積體電路可執行一預定邏輯運算。然而，當積體電路的功能輕微改變時，則原先所使用的光罩必須進一步地修改，舉例來說，上述用來於金屬層 14b、14c 上設置金屬接線的光罩所對應的圖樣必須重新設計與製作，換句話說，若兩積體電路的主要功能相同而僅有部分差異時，習知技術必須針對該兩積體





#### 五、發明說明 (5)

電路製作專用的光罩，因此便會由於光罩成本而造成積體電路之整體生產成本隨之提升。

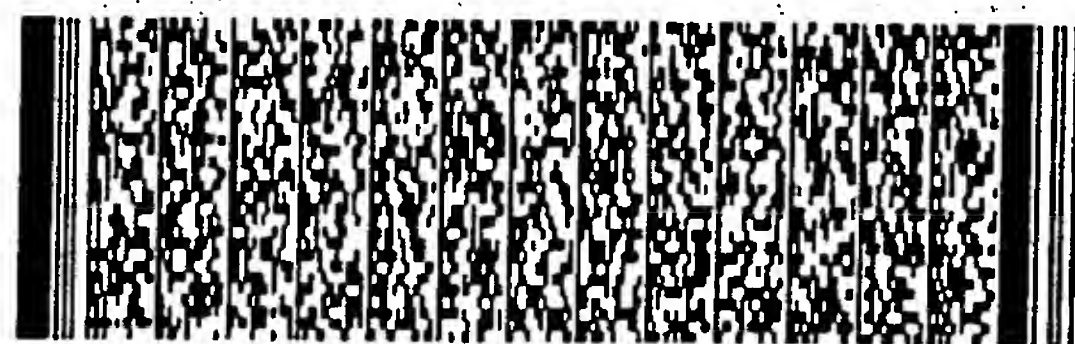
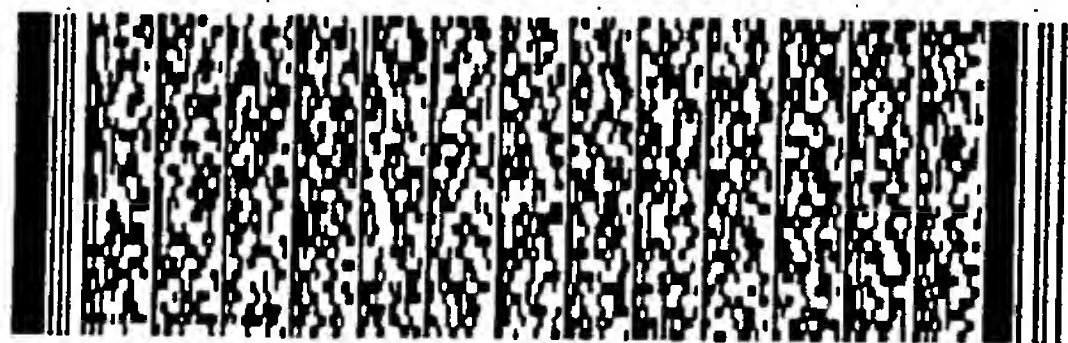
#### 發明內容

因此本發明之主要目的在於提供一種可利用單一導通孔層規劃兩金屬層之金屬接線配置所對應之繞線佈局的方法，以解決上述問題。

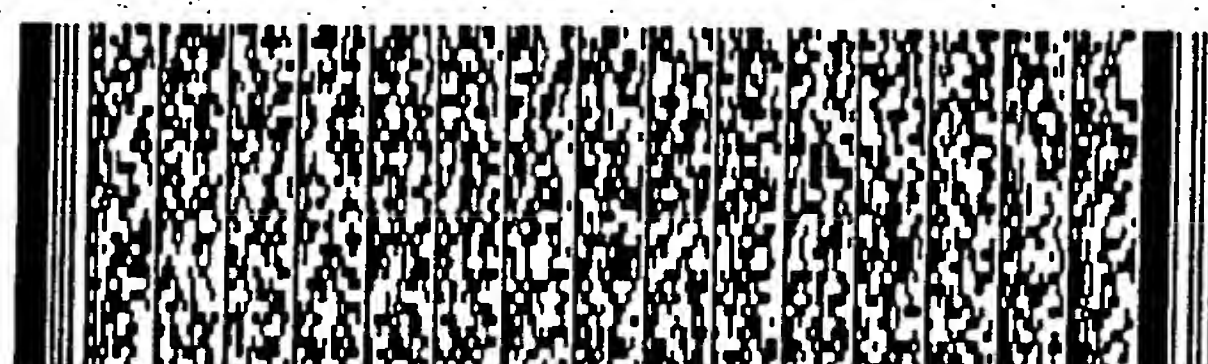
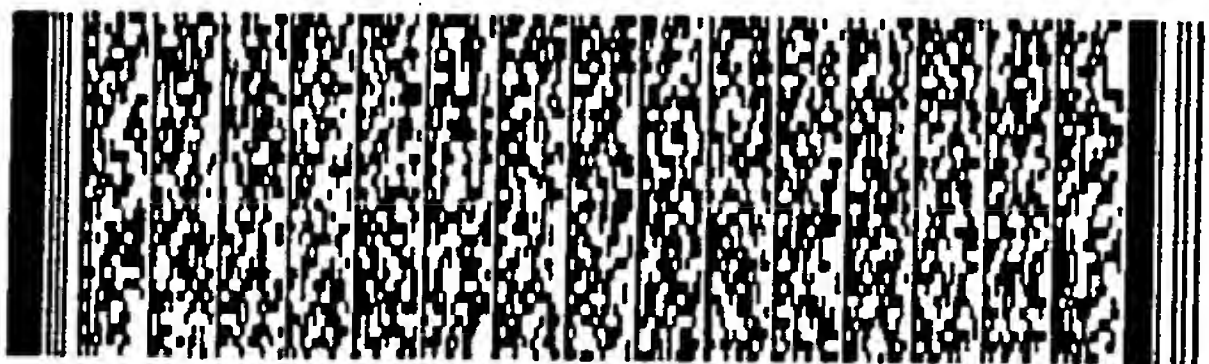
根據本發明之申請專利範圍，係揭露一種形成繞線之方法，其包含有：(a)於一第一佈線層 (first routing layer) 上形成複數條金屬接線，以及於一第二佈線層 (second routing layer) 上形成複數條金屬接線；以及 (b)依據一預定電路佈局設計中連接一第一端點與一第二端點之第一電流路徑於一介於該第一及第二佈線層之間之導通孔層 (via layer) 設置複數個導通孔來電連接該第一及第二佈線層上之金屬接線以形成等效於該第一電流路徑之第二電流路徑。

本發明繞線方法僅需規劃應用於導通孔層的光罩即可控制積體電路之內部接點間的連接，所以不需針對不同積體電路製作專用的整組光罩。

#### 實施方式



請參閱圖三，圖三為本發明繞線架構應用於一單層光罩可規劃細胞元陣列 (one metal programmable cell array, OMPCA) 50的示意圖。於一半導體基座 (semiconductor body) 52上設置有複數個基礎單元 (basic unit) 54，且複數個基礎單元 54係以陣列方式排列於半導體基座 52，每一基礎單元 54包含有至少一查表元件 (look-up-table cell) 56，至少一驅動元件 (driving cell) 58，以及至少一儲存元件 (storage element) 60。每一基礎單元 54係先由一晶圓廠於半導體基座 52上預先製造，然後一積體電路設計者再依據一積體電路的功能來設定上層金屬層的繞線佈局以決定各基礎單元 54之查表元件 56、驅動元件 58與儲存元件 60的實際功能以及各基礎單元 54之間的連接，最後該晶圓廠便依據對應積體電路設計者所設計之繞線佈局的光罩圖樣來於半導體基座 52上設置上層金屬層來完成所要的積體電路。對於該晶圓廠預先製造的查表元件 56來說，其具有 N 個輸入端，可分別用來接收對應 N 個變數的輸入訊號，然後該積體電路設計者可經由一上層金屬層來規劃查表元件 56依據該 N 個變數所執行的組合邏輯函數 (combinational function)，舉例來說，該積體電路設計者經由一上層金屬層決定查表元件 56應用 4 個輸入端來接收對應 4 個變數的輸入訊號，且利用該上層金屬層來決定查表元件 56依據該 4 個變數所執行的組合邏輯函數



#### 五、發明說明 (7)

(例如查表元件 56 用來作為一 4 位元的加法器)。對於該晶圓廠預先製造的驅動元件 58 來說，其包含有構成一緩衝器 (buffer) 或一反向器 (inverter) 所需的電晶體，所以該積體電路設計者可經由一上層金屬層來規劃驅動元件 58 執行該緩衝器的功能或該反向器的功能。對於該晶圓廠預先製造的儲存元件 60 來說，其包含有構成一栓鎖器 (latch) 或一正反器 (flip-flop) 所需的電晶體，所以該積體電路設計者可經由一上層金屬層來規劃儲存元件 60 執行該栓鎖器的功能或該正反器的功能。綜合上述，該積體電路設計者自訂的任何函數均可透過上層金屬層的規劃而由基礎單元 54 來實施。

上述金屬層 (例如一第三金屬層 M3) 除了用來規劃每一基礎單元 54 的功能外，該金屬層中對應各基礎單元 54 之其他面積則可用來設置各基礎單元 54 之間的繞線，如圖三所示，本實施例中，對應一繞線通道 (routing channel) 62 之區域的金屬層 (例如一第三金屬層 M3 與一第四金屬層 M4) 便可用來設置連接各基礎單元 54 的金屬接線。舉例來說，基礎單元 54a 包含有兩接點 B1、C1，基礎單元 54b 包含有一接點 A2，基礎單元 54c 包含有兩接點 A1、C2，以及基礎單元 54d 包含有一接點 B2，其中接點 A1 需電連接於接點 A2，接點 B1 需電連接於接點 B2，以及接點 C1 需電連接於接點 C2，所以可利用第三金屬層 M3，第四金屬層 M4 與兩者間的導通孔層來完成上述各接點 A1、





#### 五、發明說明 (8)

A2、B1、B2、C1、C2的連接。請參閱圖四與圖五，圖四為本發明繞線架構之第一種金屬接線配置的上視圖，而圖五為本發明繞線架構之第一種金屬接線配置的底視圖。本發明繞線架構係設置於圖三所示之繞線通道62，於圖四中，第三金屬層M3係位於第四金屬層M4（圖中的斜線區域）下方，而於圖五中，第四金屬層M4（圖中的斜線區域）則是位於第三金屬層M3下方。於第四金屬層M4上複數個水平軌道（horizontal track）設置有複數個水平金屬接線24a、24b、24c、24d、24e、24f、24g、24h，以及於第四金屬層M4上複數個垂直軌道（vertical track）設置有複數個垂直金屬接線26a、26b、26c、26d、26e、26f、26g、26h、26i、26j、26k、26l；同樣地，於第三金屬層M3上複數個水平軌道設置有複數個水平金屬接線28a、28b、28c、28d、28e、28f、28g、28h，以及於第三金屬層M3上複數個垂直軌道設置有複數個垂直金屬接線30a、30b、30c、30d、30e、30f、30g、30h、30i、30j、30k、30l。第三金屬層M3之水平金屬接線24a~24h以及垂直金屬接線26a~26l與第四金屬層M4之水平金屬接線28a~28h以及垂直金屬接線30a~30l的上下重疊處係為複數個規劃節點32，可用來於第三金屬層M3與第四金屬層M4之間的導通孔層設置導通孔以連接相對應的金屬接線，舉例來說，若垂直金屬接線30l需電連接於上方的垂直金屬接線30k，則本實施例可經由導通孔34a、34b的設置來電連接垂直金屬接線30l與垂直金屬接



#### 五、發明說明 (9)

線 30k，若垂直金屬接線 30l 需電連接於水平金屬接線 28c 以改變電流路徑的方向，則本實施例可經由導通孔 34a、34b、34c、34d 的設置來電連接垂直金屬接線 30l 與水平金屬接線 28c。同樣地，若垂直金屬接線 30l 需電連接於水平金屬接線 28d 以改變電流路徑的方向，則本實施例亦可經由適當導通孔的設置來完成。綜合上述，圖四與圖五所示之金屬接線架構可經由導通孔來控制電流路徑維持直走或形成轉彎，所以圖四與圖五所示之金屬接線架構可利用規劃節點 32 設置導通孔來滿足各種繞線的需求。

請參閱圖六，圖六為本發明佈線方法的操作流程圖。本發明佈線方法應用圖四與圖五所示之繞線架構來進行繞線規劃，而本發明佈線方法的操作包含有下列步驟：

步驟 100：應用習知配置與繞線輔助軟體 (placement & routing tool) 來完成一積體電路之電路佈局；

步驟 102：自該電路佈局中擷取一繞線設計，該繞線設計係於複數個金屬層設置金屬接線與該複數個金屬層間的導通孔層設置相關導通孔以完成元件之間的電連接；

步驟 104：依據一預定繞線架構轉換 (morphing) 該繞線設計以決定對應該預定繞線架構之導通孔配置。

一般而言，一積體電路的設計流程首先必須先行定義各



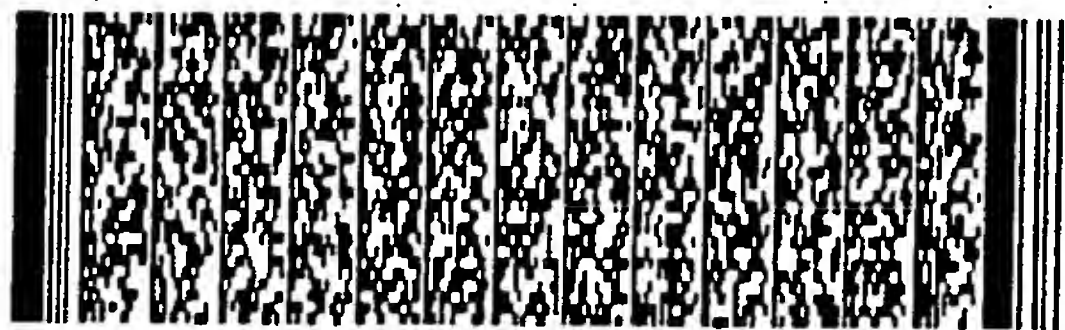


#### 五、發明說明 (10)

元件的名稱與其功能，並利用硬體描述語言 (hardware description language, HDL) 來撰寫相對應 RTL (register transfer level) 程式碼，再利用一測試檔 (testbench file) 執行整體功能的驗證 (functional simulation)。當功能符合該積體電路之需求後，便利用一電路合成軟體 (synthesis tool) 將 RTL 程式碼轉換為一相對應的閘等級列表 (gate-level netlist)，並根據一元件庫 (cell library) 所提供之資訊來驗證各元件與時間有關的操作特性。最後，便應用習知配置與繞線輔助軟體 (placement & routing tool) 來完成該積體電路之電路佈局 (步驟 100)，其中該電路佈局定義各元件的空間配置以及各元件之間連接的繞線配置，該繞線配置係於複數個金屬層上設置所需的金屬接線。然後，本發明佈線方法則自上述電路佈局中擷取出繞線部分的資訊 (步驟 102)，舉例來說，圖二所示之金屬接線 16a、16b、17a~17e 即為上述習知配置與繞線輔助軟體所完成的繞線設計，用來連接圖三中基礎單元 54a、54b、54c、54d 上的接點 A1、A2、B1、B2、C1、C2。如上所述，本發明繞線架構於第三金屬層 M3 與第四金屬層 M4 上定義有圖四、五所示的金屬接線，因此本發明便依據該繞線架構與圖二示之金屬接線 16a、16b、17a~17e 所定義之電流路徑來決定第三金屬層 M3 與第四金屬層 M4 中需使用的金屬接線與需設定導通孔的規劃節點 32 (步驟 104)。



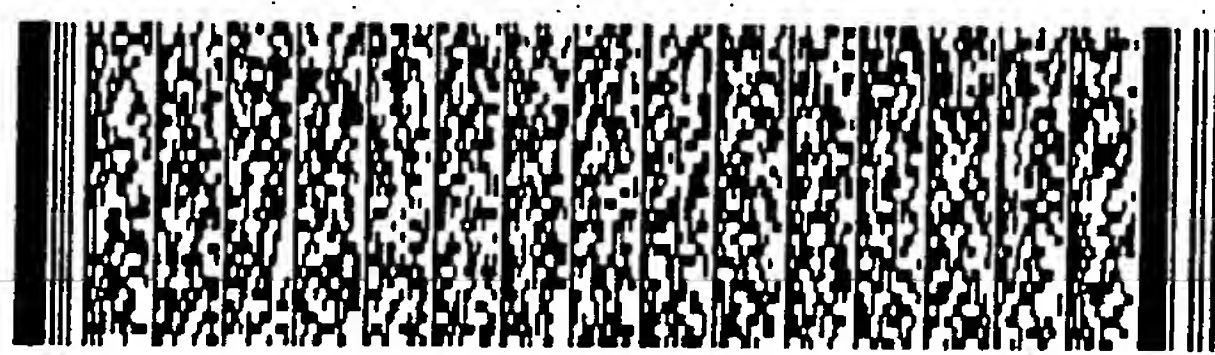
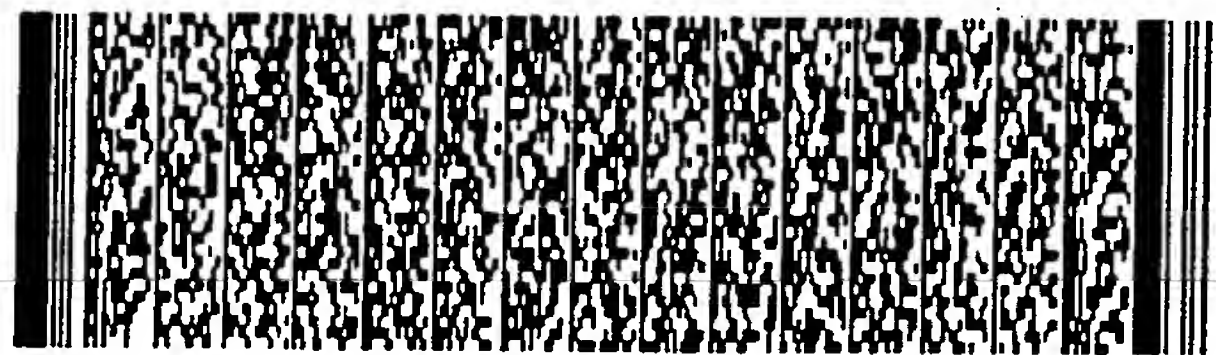
以接點 A1、A2 的連接為例，圖二上的金屬接線 16a、17a、17e 可經由圖四、五上的金屬接線 24a、24b、24c、26b、26k、28a、28b、28c、30a、30k、30l 來取代，此外，為了電連接接點 A1、A2，因此必須於金屬接線 24a、24b、24c、26b、26k、28a、28b、28c、30a、30k、30l 上下重疊部分設置導通孔 34a、34b、34c、34d、34e、34f、34g、34h、34i、34j，所以於應用第三金屬層 M3 與第四金屬層 M4 既定的金屬接線配置下，可經由規劃第三金屬層 M3 與第四金屬層 M4 間導通孔層中導通孔的配置來達到轉換圖二之繞線佈局以連接端點 A1、A2 的目的，亦即經由導通孔的配置來產生等效的電流路徑。以接點 B1、B2 的連接為例，圖二上的金屬接線 16b、17b、17b 可經由圖四、五上的金屬接線 24f、24g、26c、26h、28g、30f、30i、30j 來取代，此外，為了電連接接點 B1、B2，因此必須於金屬接線 24f、24g、26c、26h、28g、30f、30i、30j 上下重疊部分設置導通孔 35a、35b、35c、35d、35e、35f、35g，因此於應用第三金屬層 M3 與第四金屬層 M4 既定的金屬接線配置下，亦可經由規劃第三金屬層 M3 與第四金屬層 M4 間導通孔層中導通孔的配置來達到轉換圖二之繞線佈局以連接端點 B1、B2 的目的。以接點 C1、C2 的連接為例，圖二上的金屬接線 17c 可經由圖四、五上的金屬接線 26e、26f、30g、30h 來取代，此外，為了電連接接點 C1、C2，因此必須與金屬接線 26e、



#### 五、發明說明 (12)

26f、30g、30h上下重疊部分設置導通孔36a、36b、36c，因此於應用第三金屬層M3與第四金屬層M4既定的金屬接線配置下，同樣地可經由規劃第三金屬層M3與第四金屬層M4間導通孔層中導通孔的配置來達到轉換圖二之繞線佈局以連接端點C1、C2的目的。

如上所述，對於接點A1、A2之間的連接而言，本發明繞線架構需設置複數個導通孔34a、34b、34c、34d、34e、34f、34g、34h、34i、34j以連結第三金屬層M3與第四金屬層M4上的金屬接線24a、24b、24c、26b、26k、28a、28b、28c、30a、30k、30l，一般而言，導通孔會造成相對應繞線的阻抗增加，因此會影響該繞線傳輸訊號的效能，因此本發明繞線架構亦可利用不同長度的金屬接線來構成圖四、五上的金屬接線配置，請參閱圖七與圖八，圖七為本發明繞線架構之第二種金屬接線配置的上視圖，而圖八為本發明繞線架構之第二種金屬接線配置的底視圖。於圖七中，第三金屬層M3係位於第四金屬層M4（圖中的斜線區域）下方，而於圖八中，第四金屬層M4（圖中的斜線區域）則是位於第三金屬層M3下方。如圖七所示，第四金屬層M4上複數個水平軌道設置有複數個水平金屬接線38a、38b、38c、38d、38e、38f，以及第四金屬層M4上複數個垂直軌道設置有複數個垂直金屬接線39a、39b、39c、39d、39e、39f、39g、39h、39i、39j、39k；同樣地，於第三金屬層M3上複數個水平

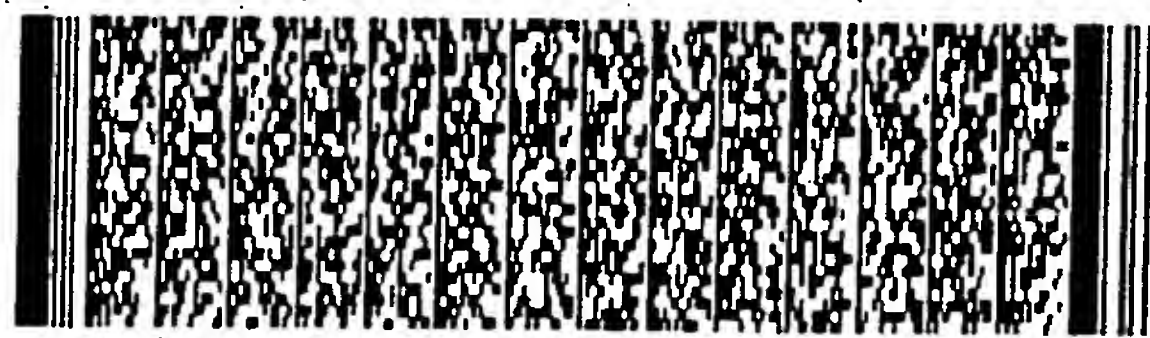




#### 五、發明說明 (13)

軌道設置有複數個水平金屬接線 40a、40b、40c、40d、40e、40f，以及於第三金屬層 M3 上複數個垂直軌道設置有複數個垂直金屬接線 41a、41b、41c、41d、41e、41f、41g、41h、41i、41j、41k。第三金屬層 M3 之金屬接線 38a~38f、39a~39k 與第四金屬層 M4 之金屬接線 40a~40f、41a~41k 的上下重疊處係為複數個規劃節點 42，用來於第三金屬層 M3 與第四金屬層 M4 之間的導通孔層設置導通孔以連接相對應的金屬接線。

同樣地，執行圖六所示之步驟來決定對應圖七、八之金屬接線配置的導通孔配置，所以對於接點 A1、A2 的連接來說，需於第三金屬層 M3 與第四金屬層 M4 間的導通孔層設置導通孔 44a、44b、44c、44d、44e、44f，對於接點 B1、B2 的連接來說，需於第三金屬層 M3 與第四金屬層 M4 間的導通孔層設置導通孔 46a、46b、46c、46d、46e、46f，以及對於接點 C1、C2 的連接來說，需於第三金屬層 M3 與第四金屬層 M4 間的導通孔層設置導通孔 48a、48b、48c。明顯地，第三金屬層 M3 上的水平金屬接線 38a 與垂直金屬接線 39i 係為較長的金屬接線，以及第四金屬層 M4 上的水平金屬接線 40a 與垂直金屬接線 41i 係為較長的金屬接線，因此達到降低導通孔使用數量的目的，舉例來說，水平金屬接線 38a 可避免圖四中導通孔 34d、34e 的設置，水平金屬接線 40a 可圖四中導通孔 34g、34h 的設置，以及垂直金屬接線 41i 可避免圖四中導通孔 35b 的設置，



#### 五、發明說明 (14)

所以本發明繞線架構可設置較長的金屬接線來避免規劃導通孔配置時需設置的導通孔數量，並降低導通孔所造成的阻抗對訊號傳遞的影響。

請注意，圖七、八之金屬接線配置僅包含有兩種不同長度的金屬接線，然而，本發明繞線架構並未侷限金屬接線之長度變化，亦即本發明繞線架構可應用複數種不同長度的金屬接線來設定第三金屬層 M3 與第四金屬層 M4 上的金屬接線配置，然後經由步驟 104 來決定第三金屬層 M3 與第四金屬層 M4 間導通孔層中的導通孔配置。此外，前述金屬接線配置均應用於第三金屬層 M3 與第四金屬層 M4，然而已知對於 0.18 製程而言，可用來設置金屬接線之金屬層數量為 6 層，而對於 0.13 製程而言，可用來設置金屬接線之金屬層數量則高達 8 層，亦即本發明繞線架構亦可應用於其他金屬層，並經由導通孔層中導通孔配置來決定金屬層上金屬接線所構成的繞線。

如上所述，本發明繞線架構係應用兩層光罩以分別依據圖四、五或圖七、八所示之金屬接線配置於兩佈線層 (routing layer)，例如第三金屬層 M3 與第四金屬層 M4 上定義相對應的圖樣 (pattern)，然後經由繞線佈局的轉換 (步驟 104) 來決定對應該金屬接線配置的導通孔配置，亦即需另應用一光罩來設置所要的導通孔。當繞線佈局更動時，例如接點 A1 連接至接點 B1 以及接點 A2 連接







##### 五、發明說明 (16)

積體電路之功能來規劃導通孔配置，並決定金屬層間之方法。導通孔層所需的光罩，亦即本發明繞線架構與佈線方法內用僅需規劃應用於導通孔層的光罩即可控制積體電路製作專用的接點間的連接，所以不需針對不同積體電路製作的整組光罩。綜合上述，本發明的繞線架構與佈線方法可降低積體電路生產時所需耗費的光罩成本。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一為習知積體電路的架構示意圖。

圖二為圖一所示之金屬層的示意圖。

圖三為本發明繞線架構應用於一單層光罩可規劃細胞元陣列的示意圖。

圖四為本發明繞線架構之第一種金屬接線配置的上視圖。

圖五為本發明繞線架構之第一種金屬接線配置的底視圖。

圖六為本發明佈線方法的操作流程圖。

圖七為本發明繞線架構之第二種金屬接線配置的上視圖。

圖八為本發明繞線架構之第二種金屬接線配置的底視圖。

### 圖式之符號說明

10 積體電路

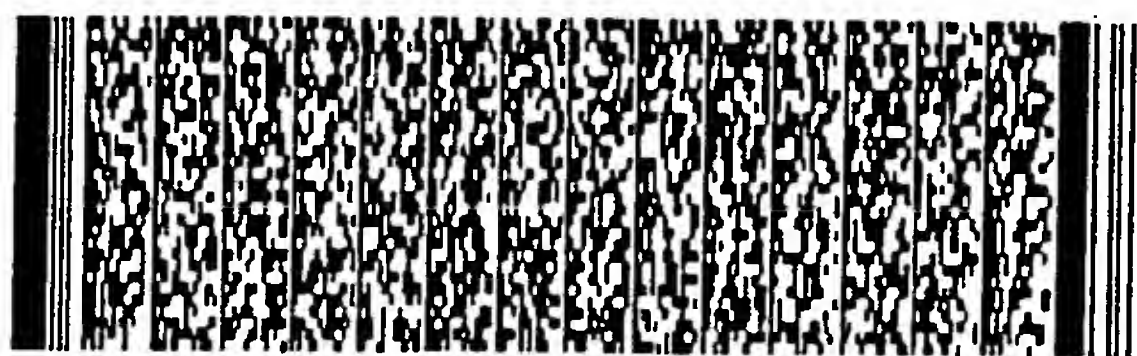
12 元件層

13 接點層

14a、14b、14c、14d 金屬層

15a、15b、15c 導通孔層

16a、16b、17a、17b、17c、17d、17e、24a、24b、



圖式簡單說明

24c、 24d、 24e、 24f、 24g、 24h、 26a、 26b、 26c、  
 26d、 26e、 26f、 26g、 26h、 26i、 26j、 26k、 26l、  
 28a、 28b、 28c、 28d、 28e、 28f、 28g、 28h、 30a、  
 30b、 30c、 30d、 30e、 30f、 30g、 30h、 30i、 30j、  
 30k、 30l、 38a、 38b、 38c、 38d、 38e、 38f、 39a、  
 39b、 39c、 39d、 39e、 39f、 39g、 39h、 39i、 39j、  
 39k、 40a、 40b、 40c、 40d、 40e、 40f、 41a、 41b、  
 41c、 41d、 41e、 41f、 41g、 41h、 41i、 41j、 41k 金屬

接線

34a、 34b、 34c、 34d、 34e、 34f、 34g、 34h、 34i、  
 34j、 35a、 35b、 35c、 35d、 35e、 35f、 35g、 36a、  
 36b、 36c、 44a、 44b、 44c、 44d、 44e、 44f、 46a、  
 46b、 46c、 46d、 46e、 46f、 48a、 48b、 48c 導通孔

50 單層光罩可規劃細胞元陣列

52 半導體基座

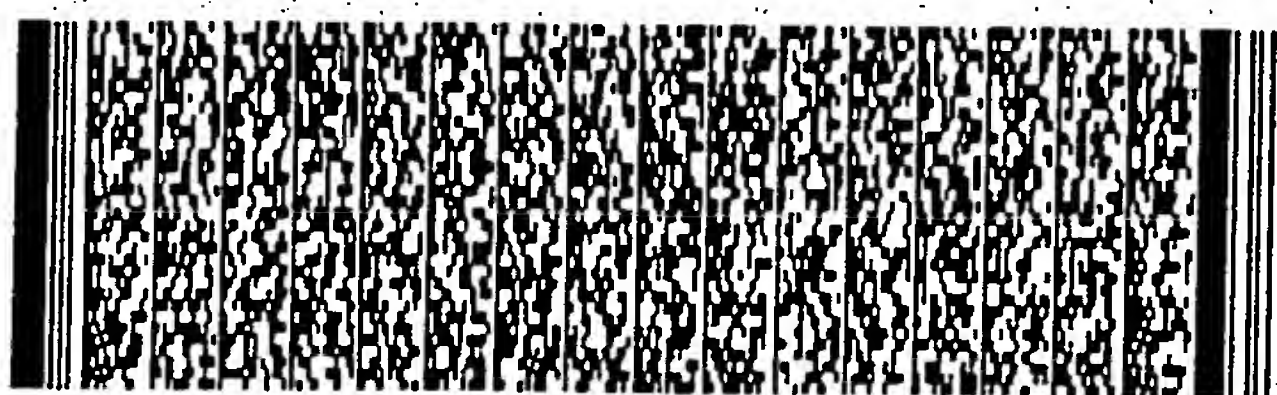
54 基礎單元

56 查表元件

58 驅動元件

60 儲存元件

62 繞線通道





## 六、申請專利範圍

1. 一種形成繞線之方法，其包含有：

(a)於一第一佈線層 (first routing layer) 上形成複數條金屬接線，以及於一第二佈線層 (second routing layer) 上形成複數條金屬接線；以及

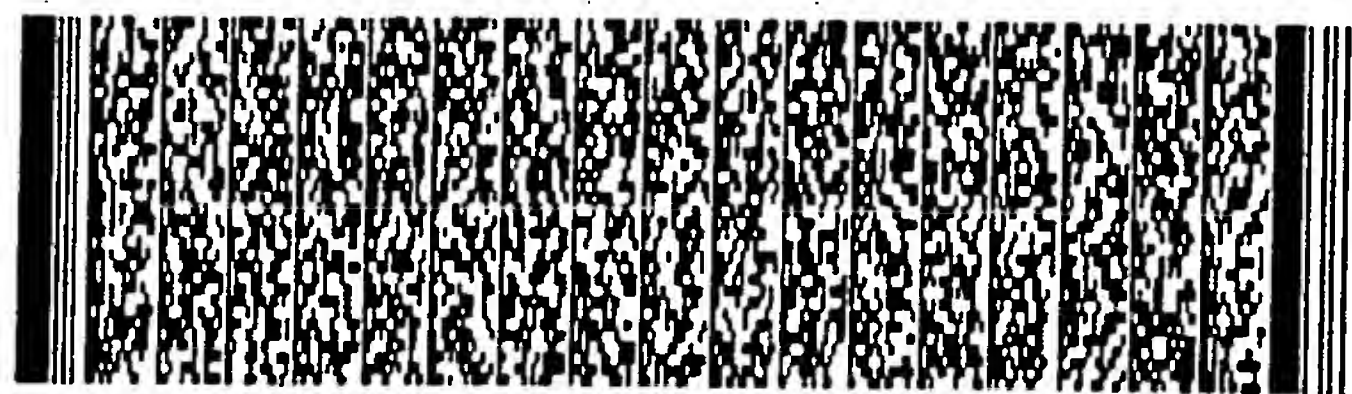
(b)依據一預定電路佈局設計中連接一第一端點與一第二端點之第一電流路徑於一介於該第一及第二佈線層之間之導通孔層 (via layer) 設置複數個導通孔來電連接該第一及第二佈線層上之金屬接線以形成等效於該第一電流路徑之第二電流路徑。

2. 如申請專利範圍第1項所述之方法，其中步驟(a)包含有：

於該第一佈線層之複數條水平軌道 (horizontal track) 上設置複數條第一導線以及於該第一佈線層之複數條垂直軌道 (vertical track) 上設置複數條第二導線；以及

於該第二佈線層之複數條水平軌道上設置複數條第三導線以及於該第二佈線層之複數條垂直軌道上設置複數條第四導線，該第二佈線層之 $k^{th}$ 水平軌道上一第三導線與該第一佈線層之 $k^{th}$ 水平軌道上一第一導線係上下部分重疊。

3. 如申請專利範圍第2項所述之方法，其中步驟(b)包含有：





#### 六、申請專利範圍

當該第一端點電連接於該第一佈線層之 $k^{th}$ 水平軌道上該第一導線，以及該第二端點電連接於該第二佈線層之 $k^{th}$ 水平軌道上該第三導線時，於該導通孔層設置一導通孔來電連接該 $k^{th}$ 水平軌道上之該第一導線與該 $k^{th}$ 水平軌道上之該第三導線。

4. 如申請專利範圍第1項所述之方法，其中步驟(a)包含有：

於該第一佈線層之複數條水平軌道 (horizontal track) 上設置複數條第一導線以及於該第一佈線層之複數條垂直軌道 (vertical track) 上設置複數條第二導線；以及

於該第二佈線層之複數條水平軌道上設置複數條第三導線以及於該第二佈線層之複數條垂直軌道上設置複數條第四導線，該第二佈線層之 $m^{th}$ 水平軌道上之第三導線與該第一佈線層之 $n^{th}$ 垂直軌道上之第二導線係上下部分重疊。

5. 如申請專利範圍第4項所述之方法，其中步驟(b)包含有：

當該第一端點電連接於該第一佈線層之 $n^{th}$ 垂直軌道之該第二導線，以及該第二端點電連接於該第二佈線層之 $m^{th}$ 水平軌道之該第三導線，於該導通孔層設置一導通孔來電連接該 $n^{th}$ 垂直軌道之該第二導線與該 $m^{th}$ 水平軌道之該



## 六、申請專利範圍

### 第三導線。

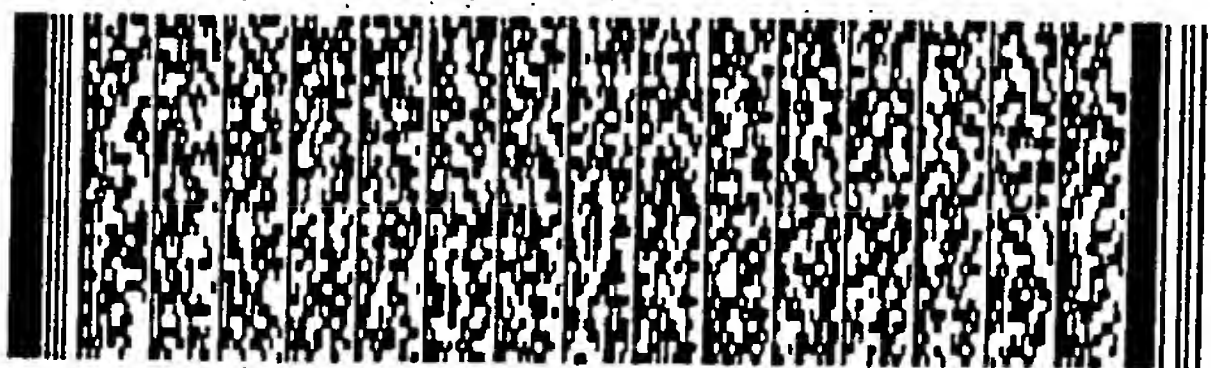
6. 如申請專利範圍第4項所述之方法，其中該第二佈線層之 $m^{th}$ 水平軌道上之該第三導線與該第一佈線層之 $m^{th}$ 水平軌道上之一第一導線上下部分重疊，以及該第一佈線層之 $m^{th}$ 水平軌道上之該第一導線與該第二佈線層之 $n^{th}+1$ 垂直軌道上一第四導線係上下部分重疊。

7. 如申請專利範圍第4項所述之方法，其中該第一佈線層之 $n^{th}$ 垂直軌道上之該第二導線與該第二佈線層之 $n^{th}$ 垂直軌道上之一第四導線上下部分重疊，以及該第一佈線層之 $m^{th}+1$ 水平軌道上之一第一導線與該第二佈線層之 $n^{th}$ 垂直軌道上之該第四導線係上下部分重疊。

8. 如申請專利範圍第1項所述之方法，其中步驟(a)包含有：

於該第一佈線層之複數條水平軌道 (horizontal track) 上設置複數條第一導線以及於該第一佈線層之複數條垂直軌道 (vertical track) 上設置複數條第二導線；以及

於該第二佈線層之複數條水平軌道上設置複數條第三導線以及於該第二佈線層之複數條垂直軌道上設置複數條第四導線，該第二佈線層之 $r^{th}$ 垂直軌道上一第四導線與該第一佈線層之 $r^{th}$ 垂直軌道上一第二導線係上下部分重



## 六、申請專利範圍

疊。

9. 如申請專利範圍第8項所述之方法，其中步驟(b)包含有：

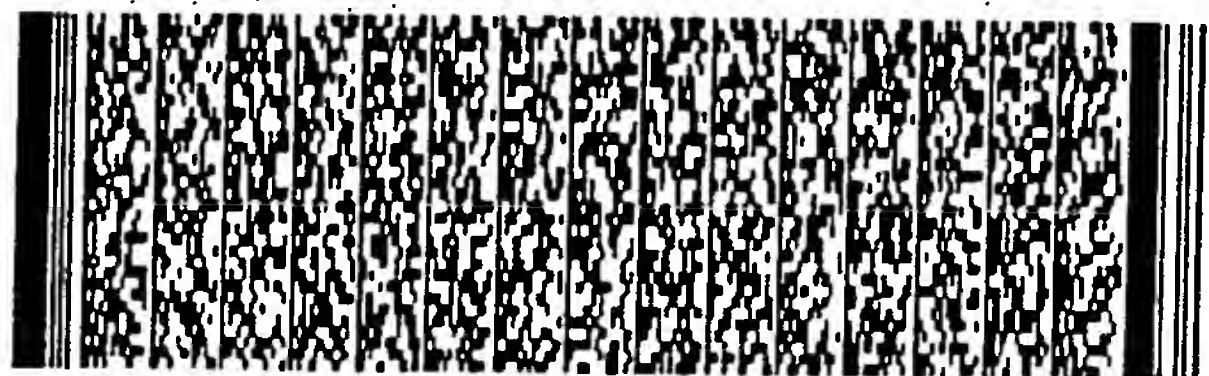
當該第一端點電連接於該第一佈線層之 $r^{th}$ 垂直軌道該第二導線，以及該第二端點電連接於該第二佈線層之 $r^{th}$ 垂直軌道上該第四導線時，於該導通孔層設置一導通孔來電連接該 $r^{th}$ 垂直軌道之該第二導線與該 $r^{th}$ 垂直軌道之該第四導線。

10. 如申請專利範圍第1項所述之方法，其中步驟(a)包含有：

於該第一佈線層之複數條水平軌道 (horizontal track) 上設置複數條第一導線以及於該第一佈線層之複數條垂直軌道 (vertical track) 上設置複數條第二導線；以及

於該第二佈線層之複數條水平軌道上設置複數條第三導線以及於該第二佈線層之複數條垂直軌道上設置複數條第四導線，該第二佈線層之 $s^{th}$ 垂直軌道上一第四導線與該第一佈線層之 $t^{th}$ 水平軌道上一第一導線係上下部分重疊。

11. 如申請專利範圍第10項所述之方法，其中步驟(b)包含有：





#### 六、申請專利範圍

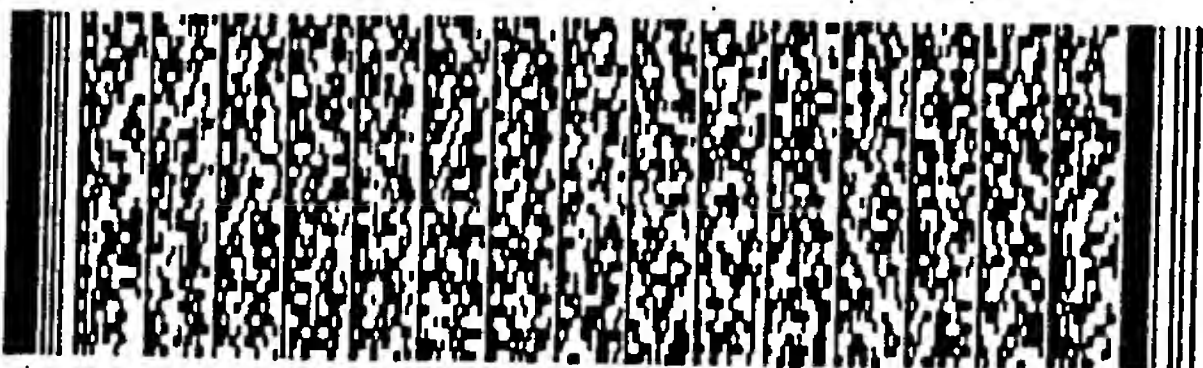
當該第一端點電連接於該第一佈線層之  $t^{th}$  水平軌道上該第一導線，以及該第二端點電連接於該第二佈線層之  $s^{th}$  垂直軌道上該第四導線，於該導通孔層設置一導通孔來電連接該  $t^{th}$  水平軌道上之該第一導線與該  $s^{th}$  垂直軌道上之該第四導線。

12. 如申請專利範圍第 10 項所述之方法，其中該第一佈線層之  $t^{th}$  水平軌道上之該第一導線與該第二佈線層之  $t^{th}$  水平軌道上之一第三導線上下部分重疊，以及該第二佈線層之  $t^{th}$  水平軌道上之該第三導線與該第一佈線層之  $s^{th+1}$  垂直軌道上一第二導線係上下部分重疊。

13. 如申請專利範圍第 10 項所述之方法，其中該第二佈線層之  $s^{th}$  垂直軌道上之該第二導線與該第一佈線層之  $s^{th}$  垂直軌道上之一第二導線上下部分重疊，以及該第一佈線層之  $s^{th}$  垂直軌道上之該第二導線與該第一佈線層之  $t^{th+1}$  水平軌道上之一第三導線係上下部分重疊。

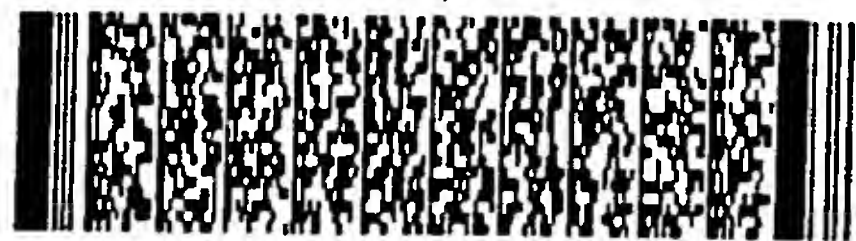
14. 如申請專利範圍第 1 項所述之方法，其中該第一、二佈線層上之複數條金屬接線均對應相同長度。

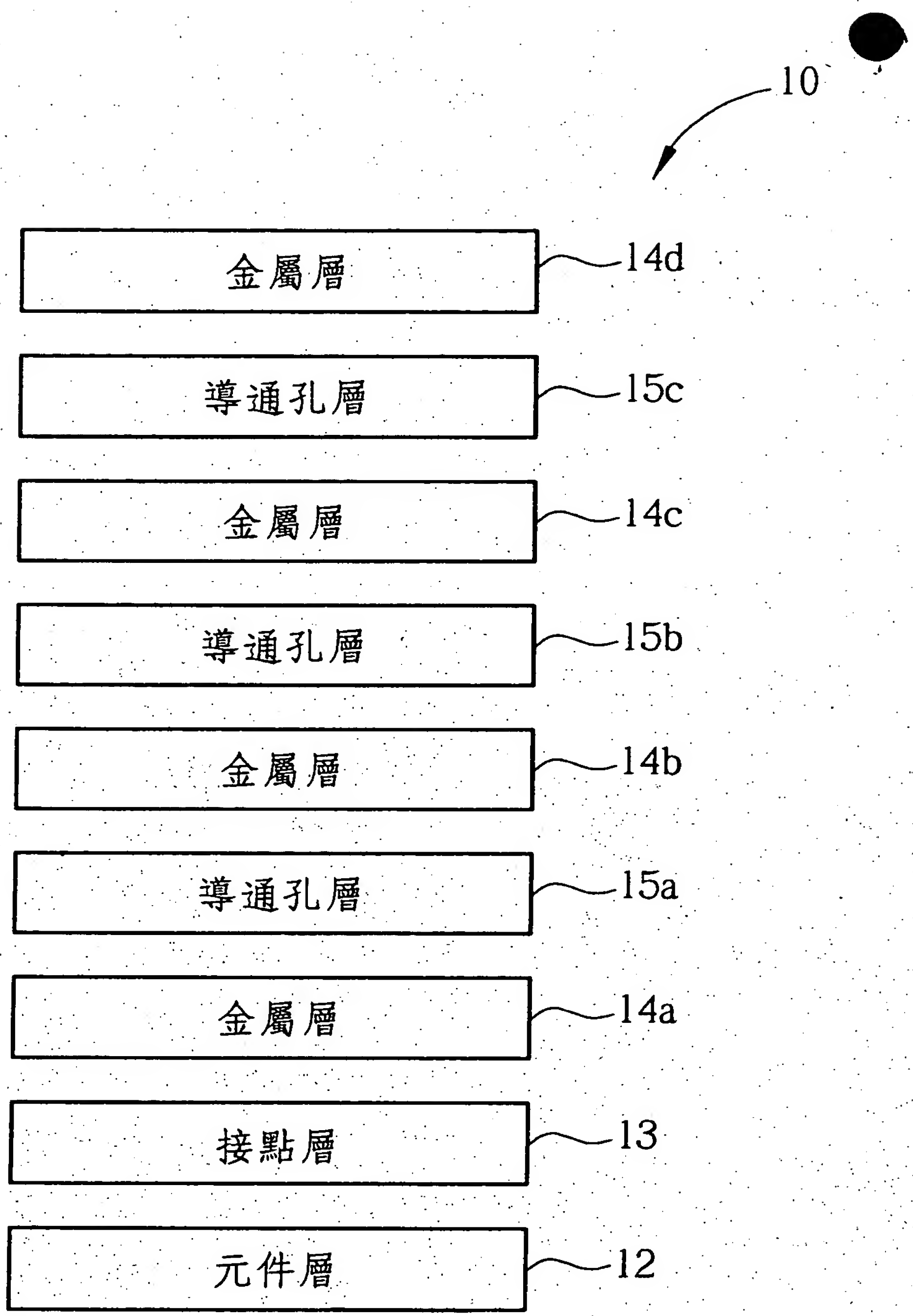
15. 如申請專利範圍第 1 項所述之方法，其係應用於一多層電路板。



六、申請專利範圍

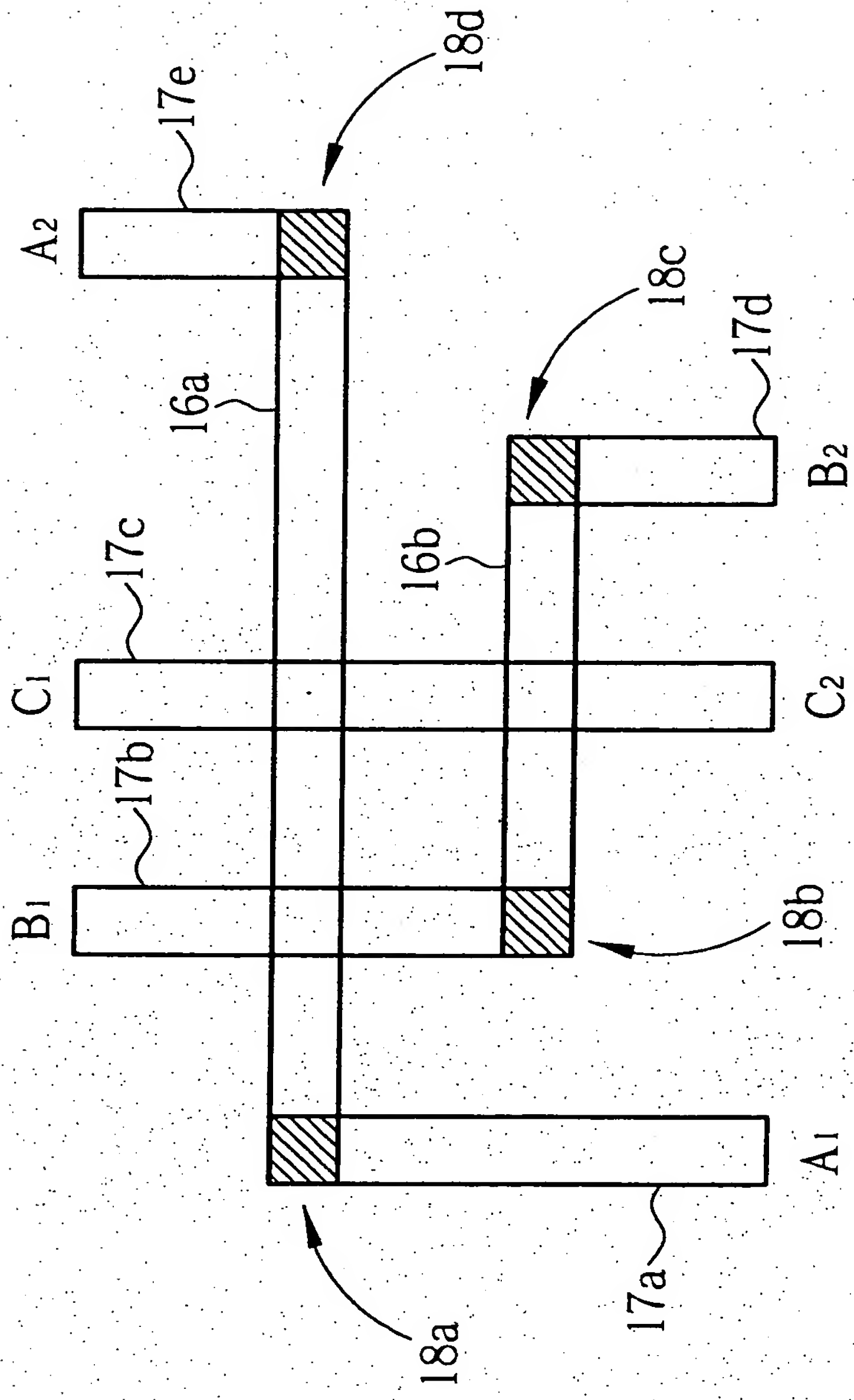
16. 如申請專利範圍第 1 項所述之方法，其係應用於一半導體裝置。



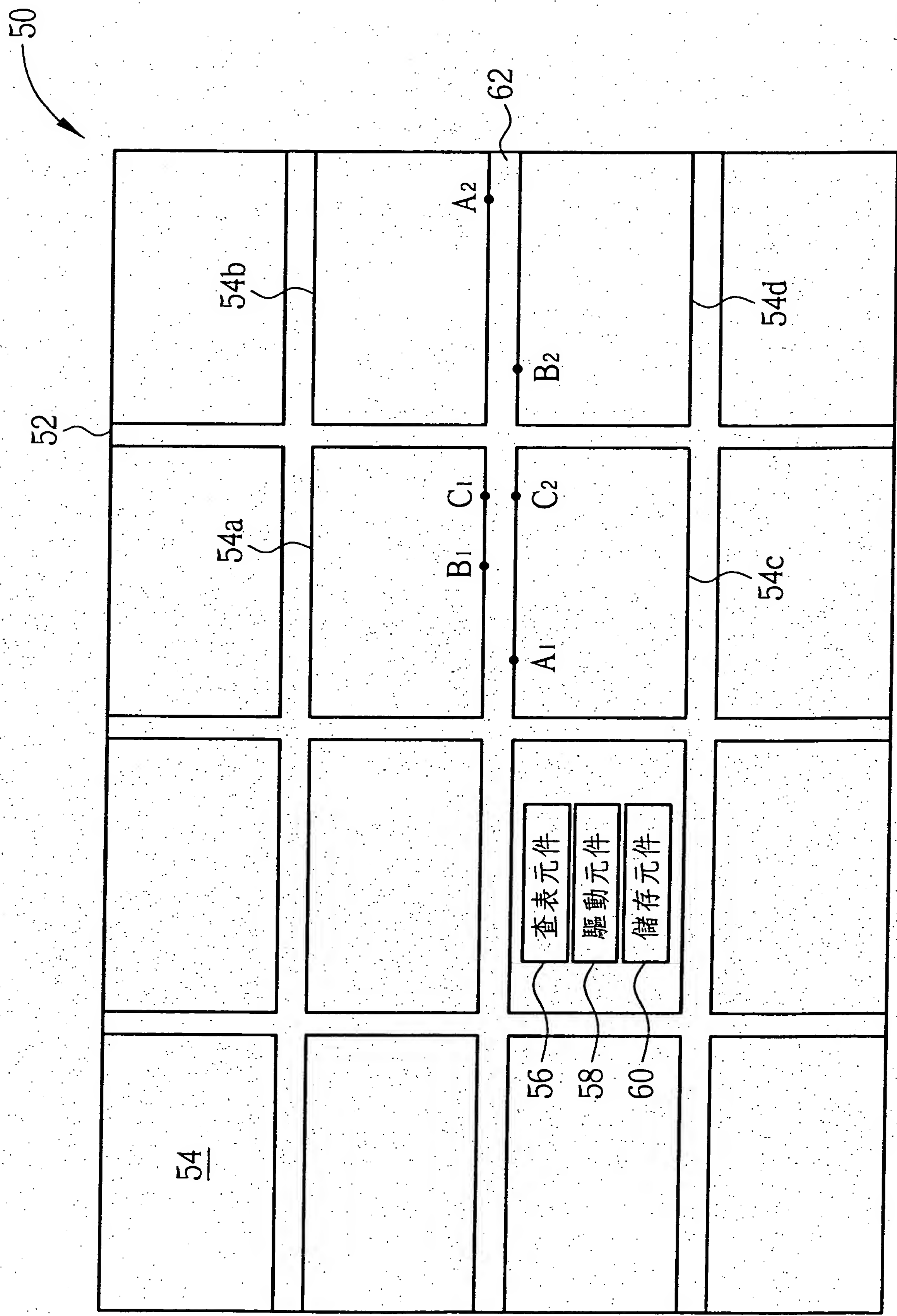


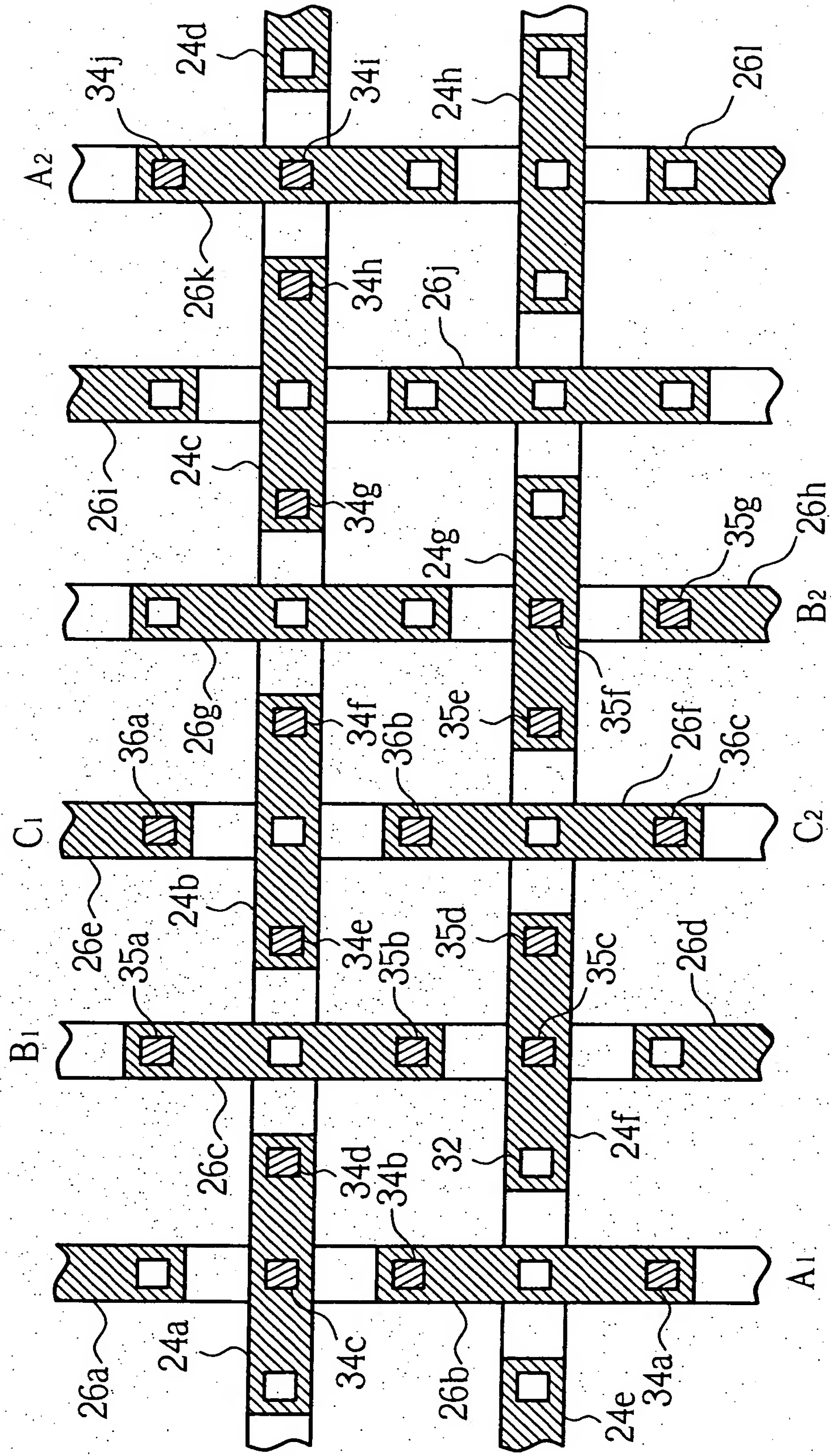
圖一





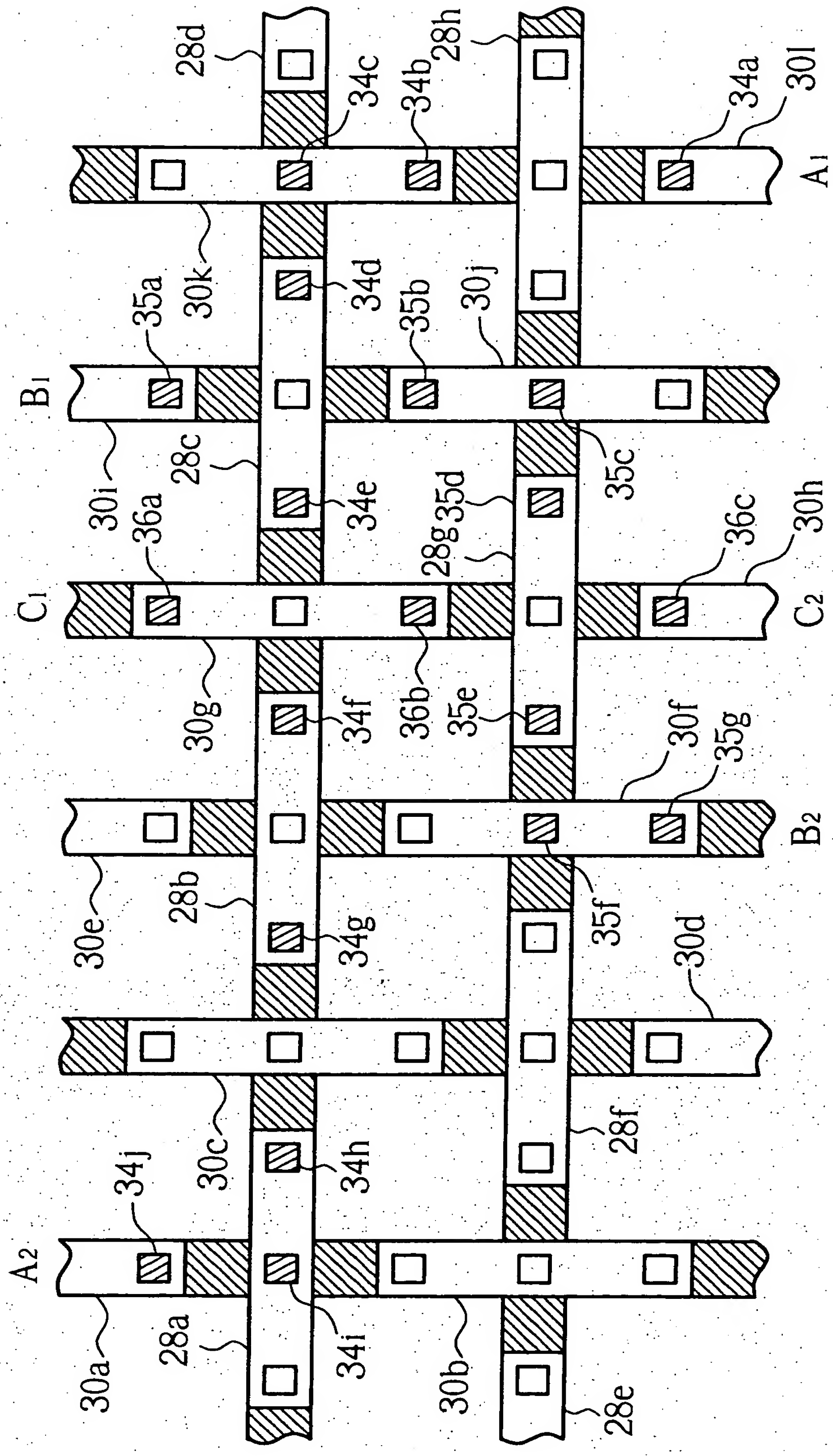
圖二



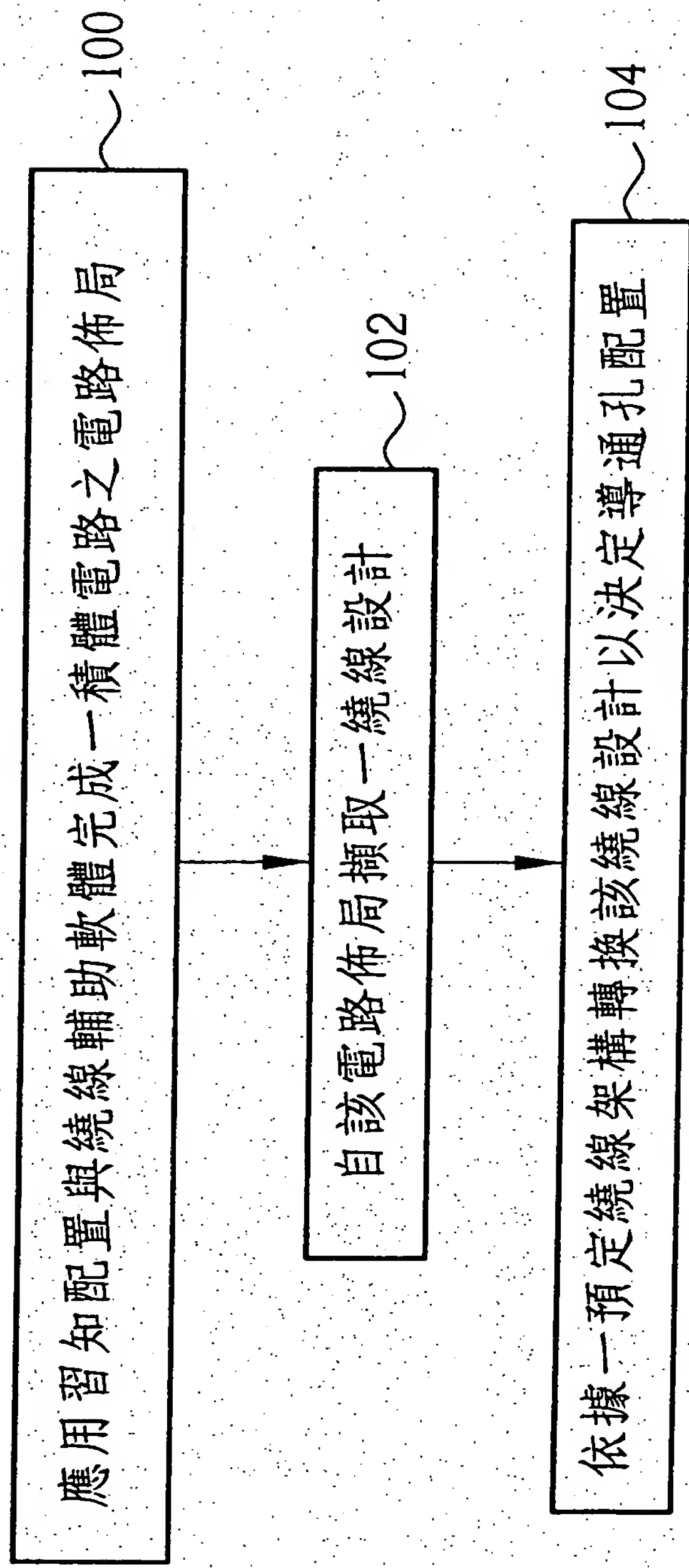


圖四

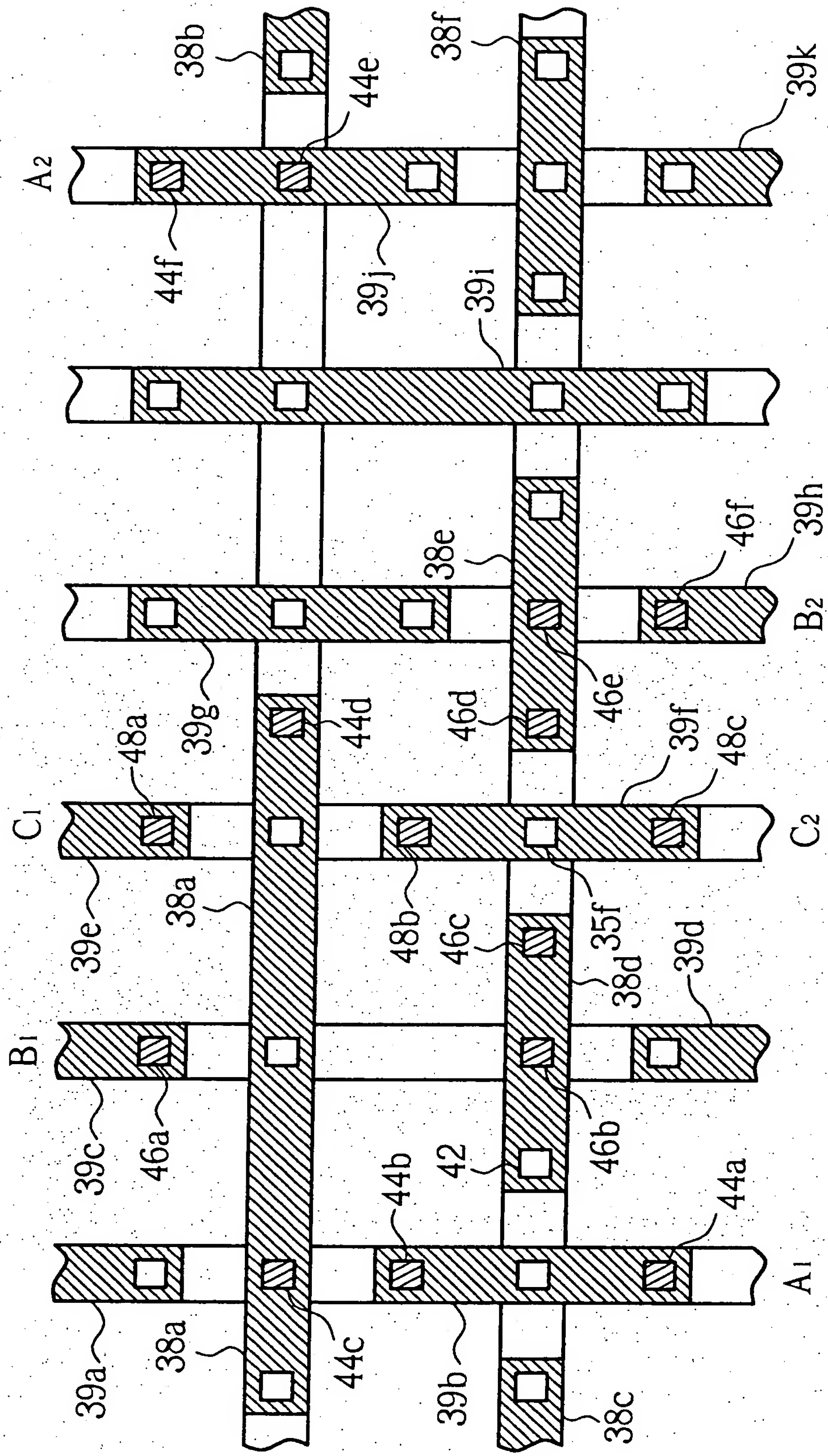




圖五

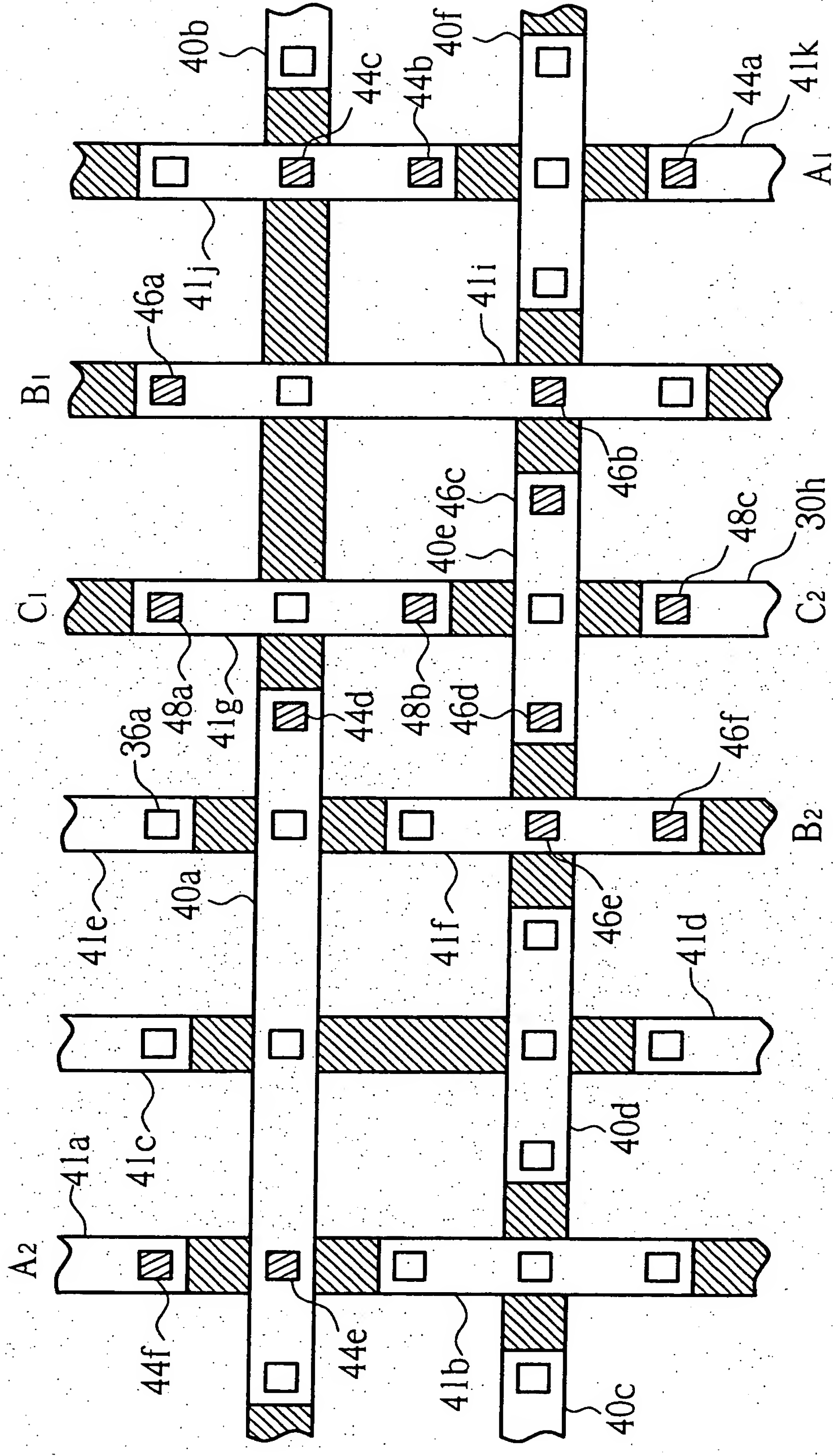


圖六



圖七





圖八

第 1/29 頁



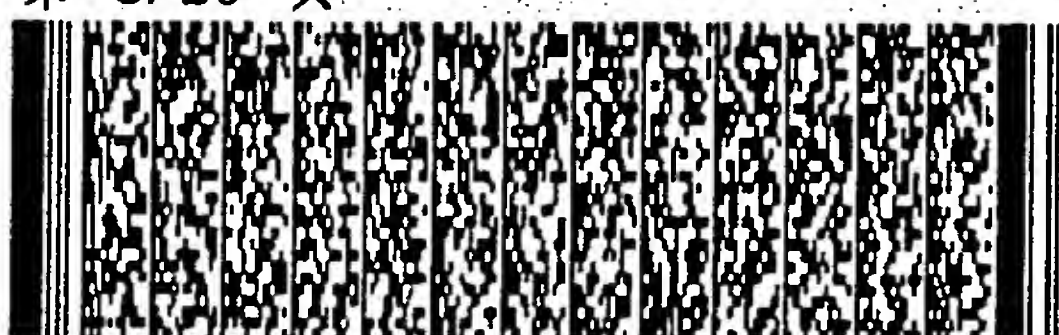
第 1/29 頁



第 2/29 頁



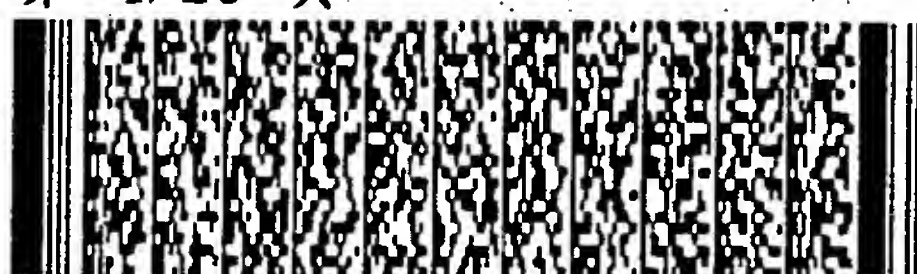
第 3/29 頁



第 3/29 頁



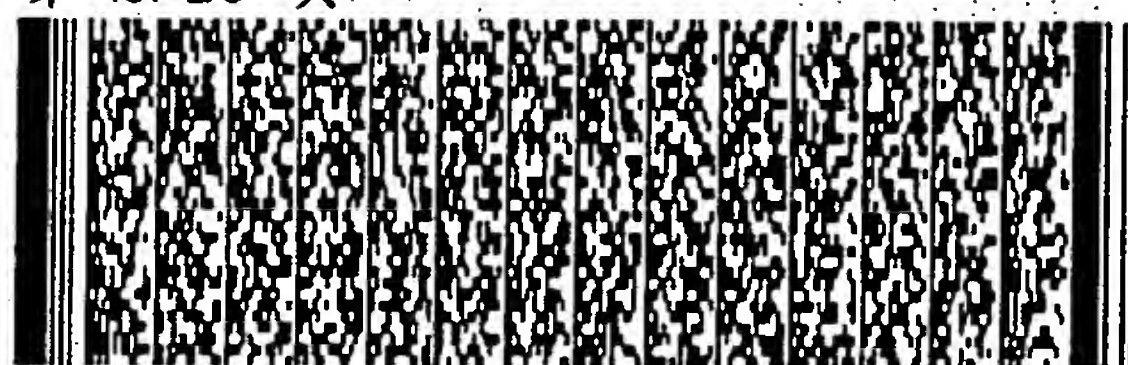
第 4/29 頁



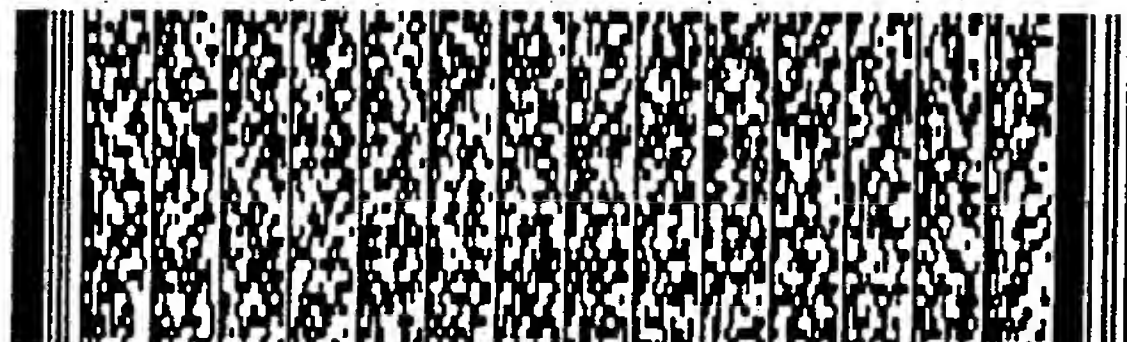
第 5/29 頁



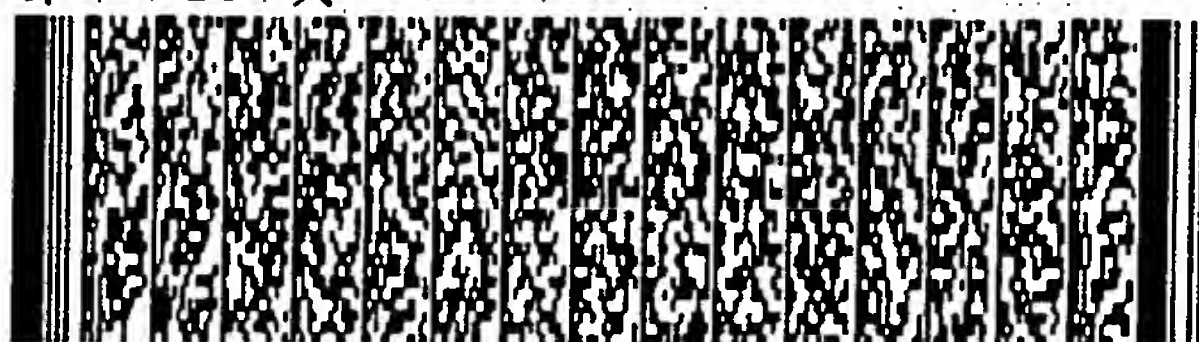
第 6/29 頁



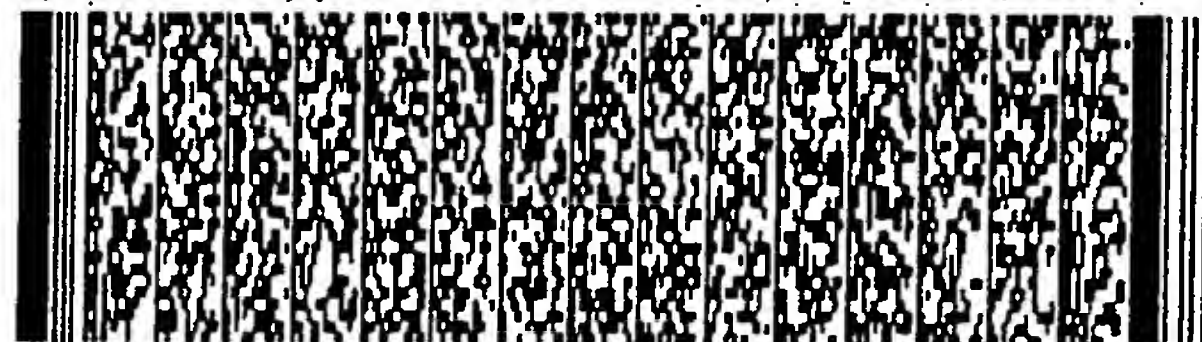
第 6/29 頁



第 7/29 頁



第 7/29 頁



第 8/29 頁



第 8/29 頁



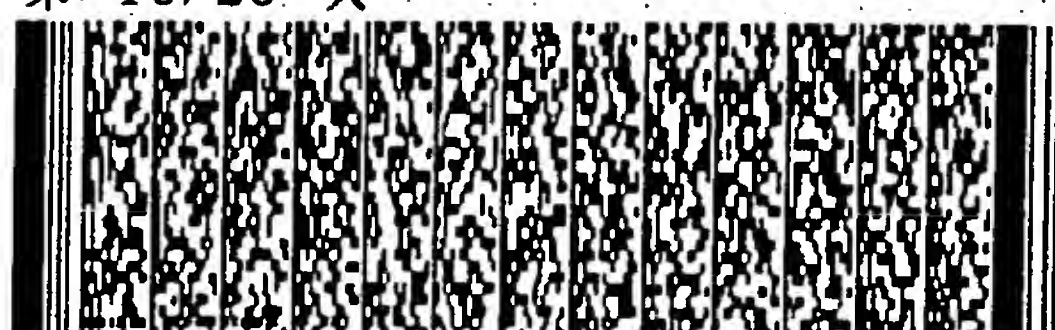
第 9/29 頁



第 9/29 頁

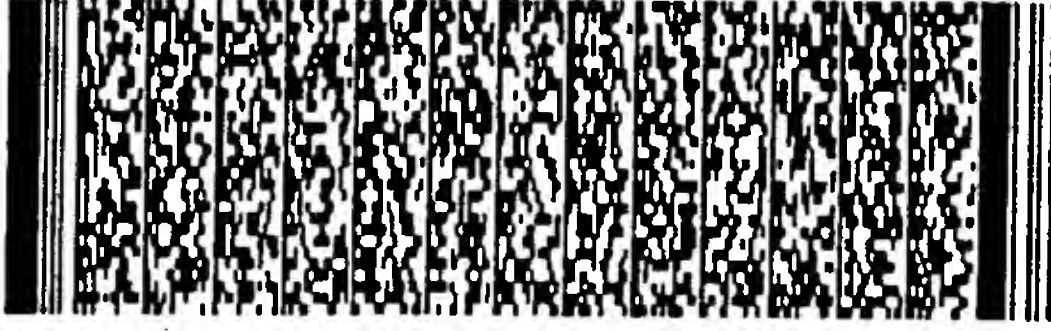


第 10/29 頁

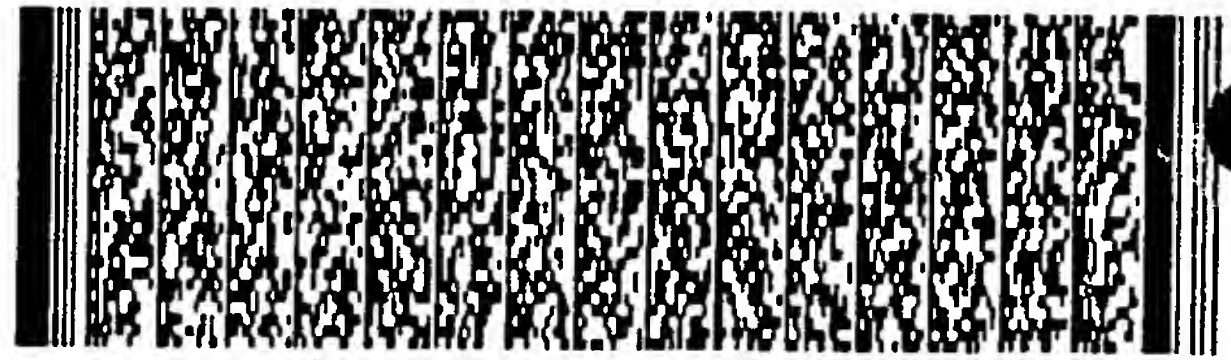




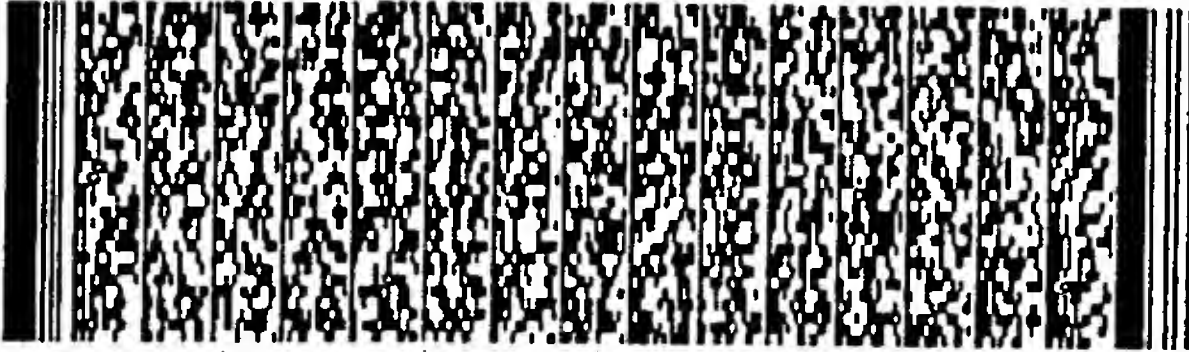
第 10/29 頁



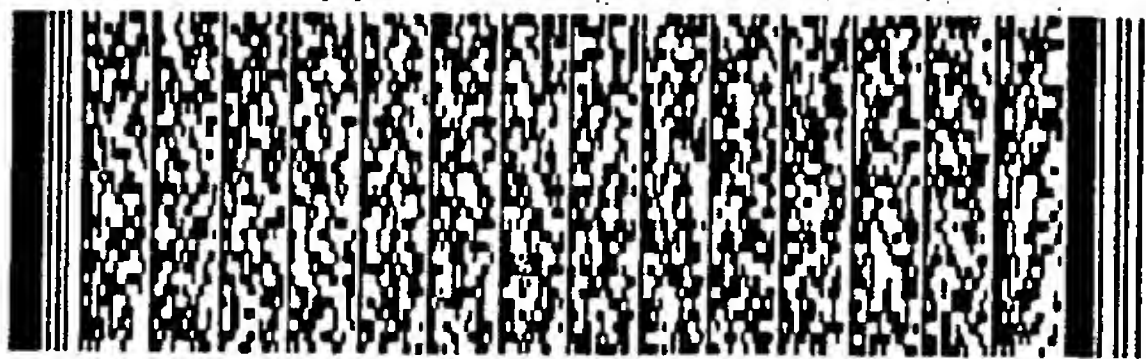
第 11/29 頁



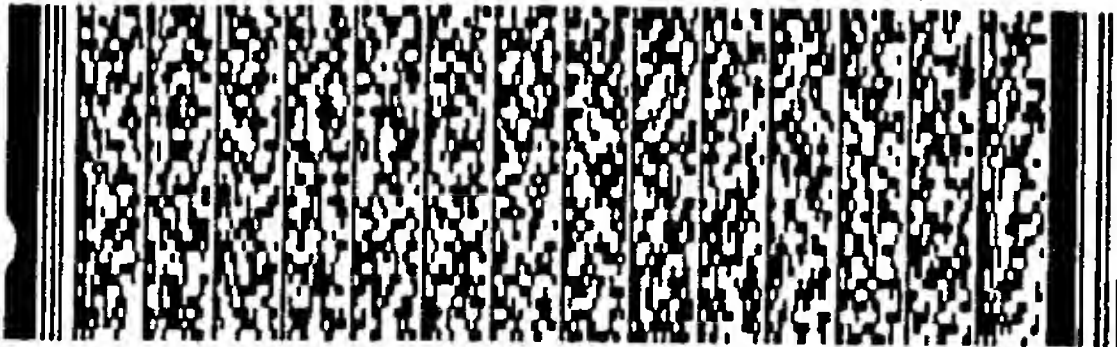
第 11/29 頁



第 12/29 頁



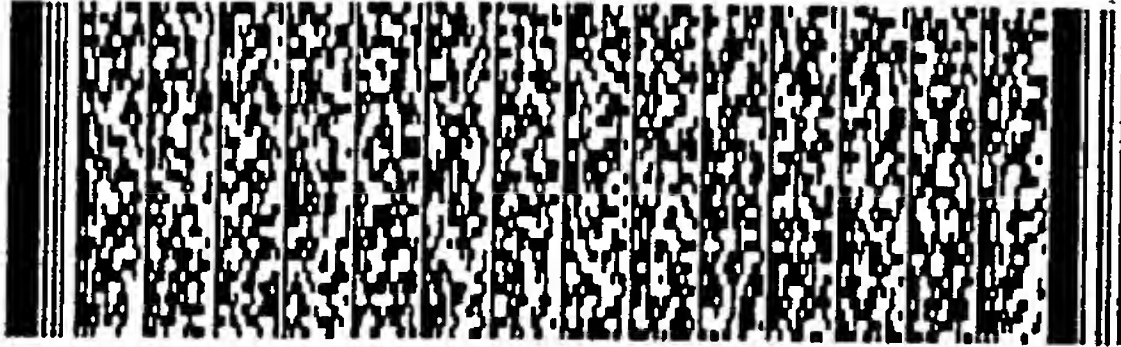
第 12/29 頁



第 13/29 頁



第 13/29 頁



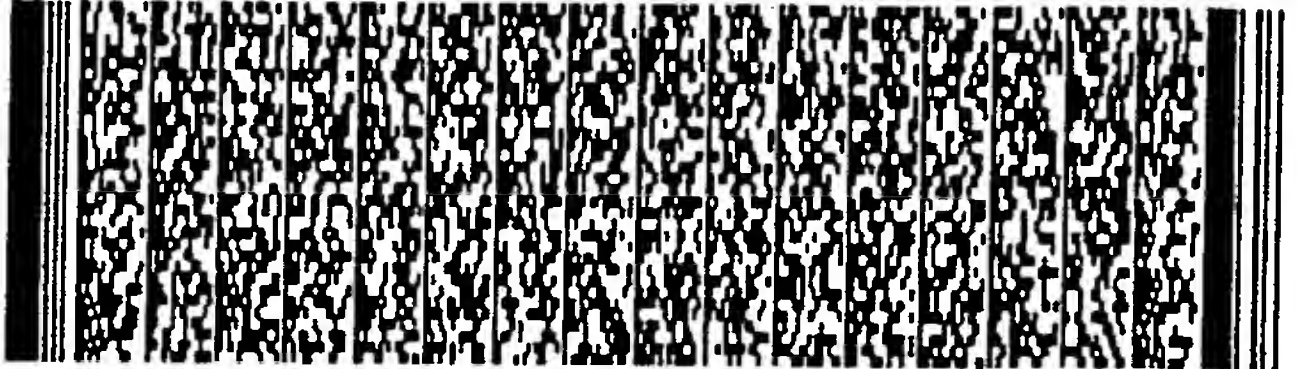
第 14/29 頁



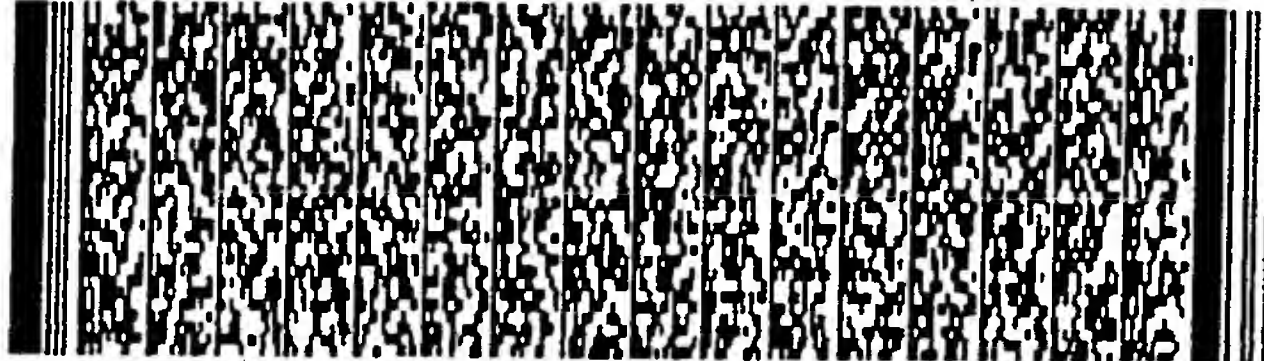
第 14/29 頁



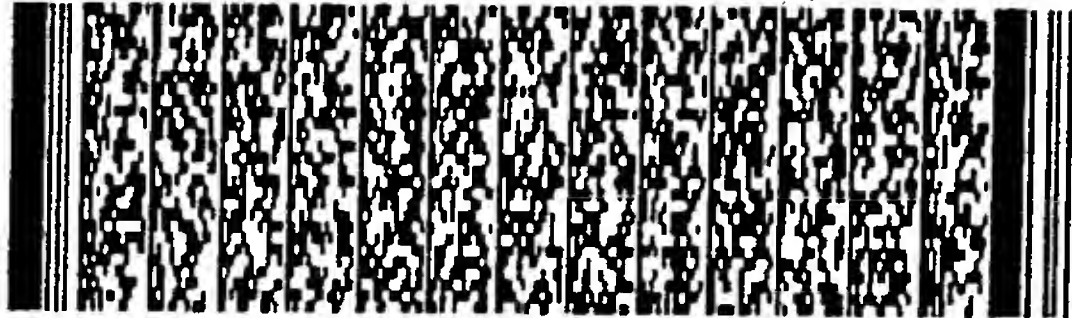
第 15/29 頁



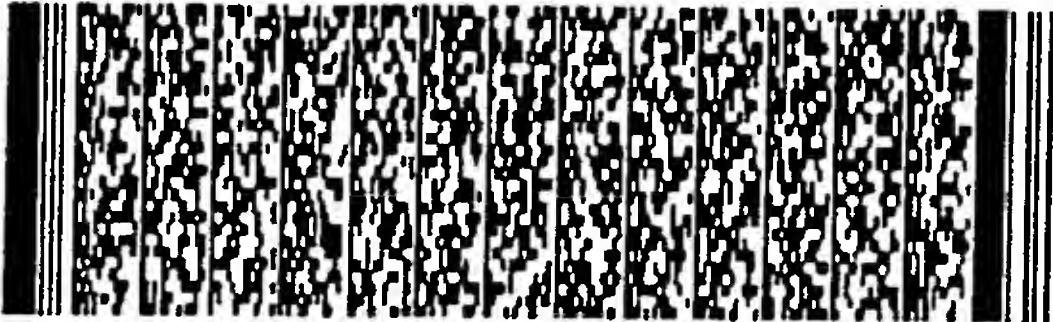
第 15/29 頁



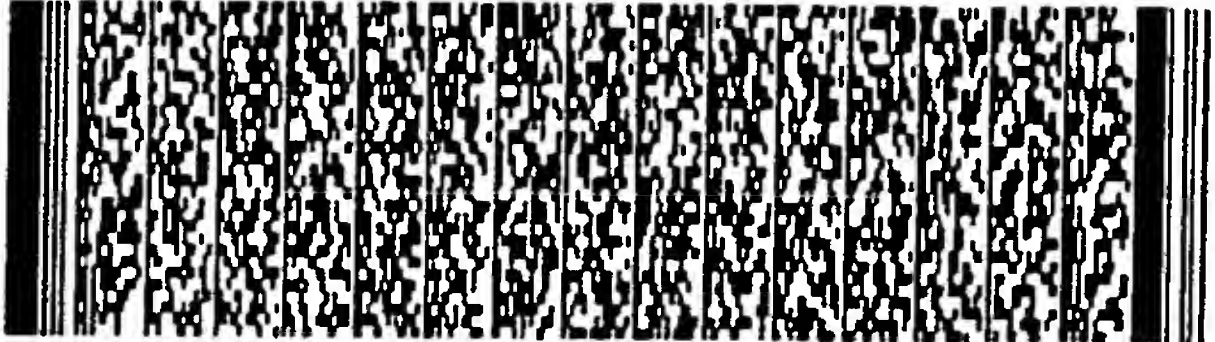
第 16/29 頁



第 16/29 頁



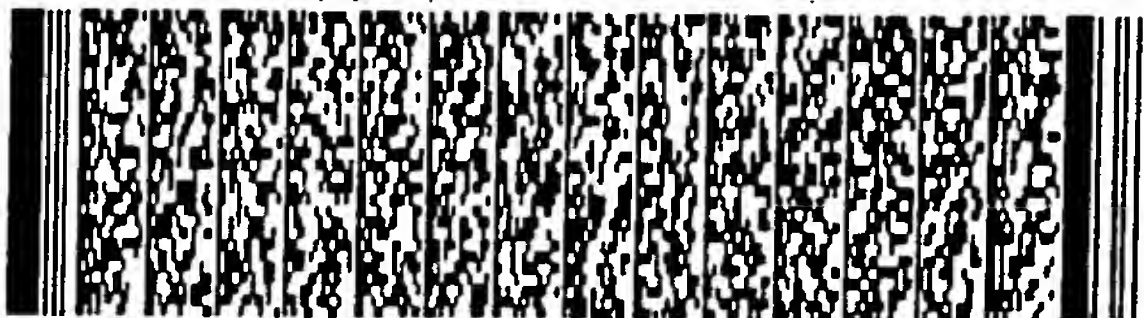
第 17/29 頁



第 17/29 頁



第 18/29 頁

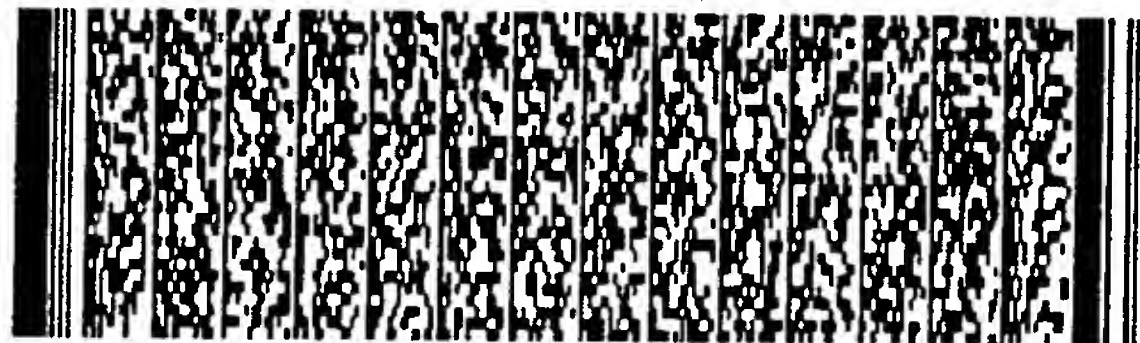




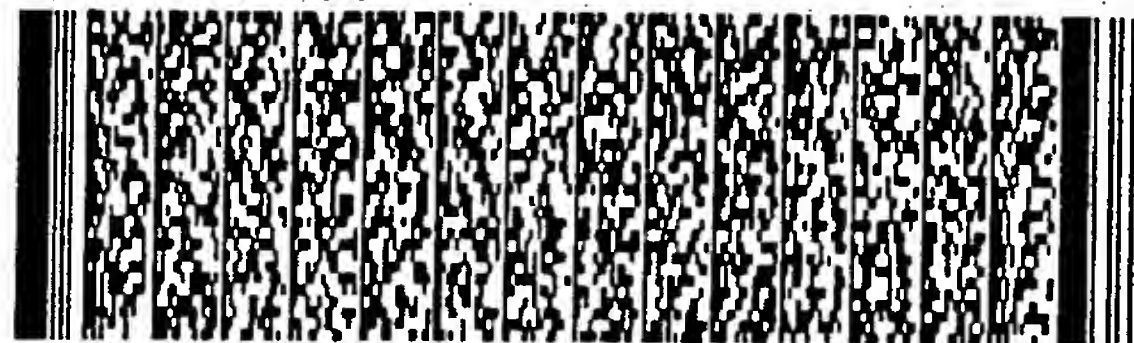
第 18/29 頁



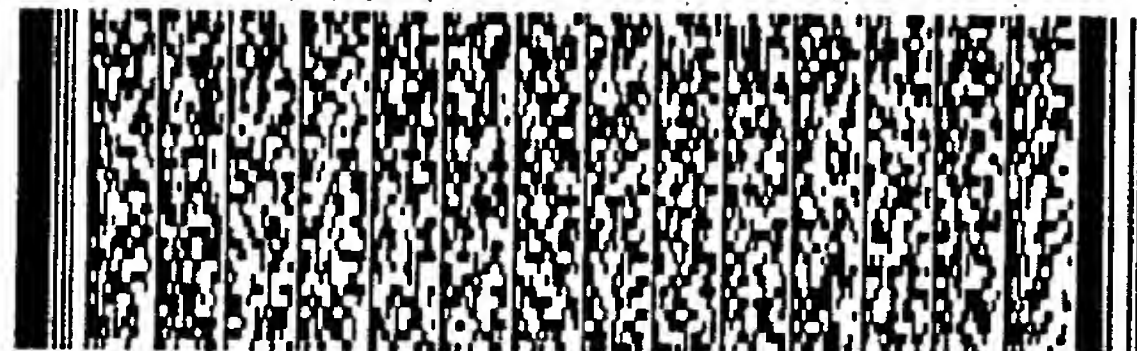
第 19/29 頁



第 19/29 頁



第 20/29 頁



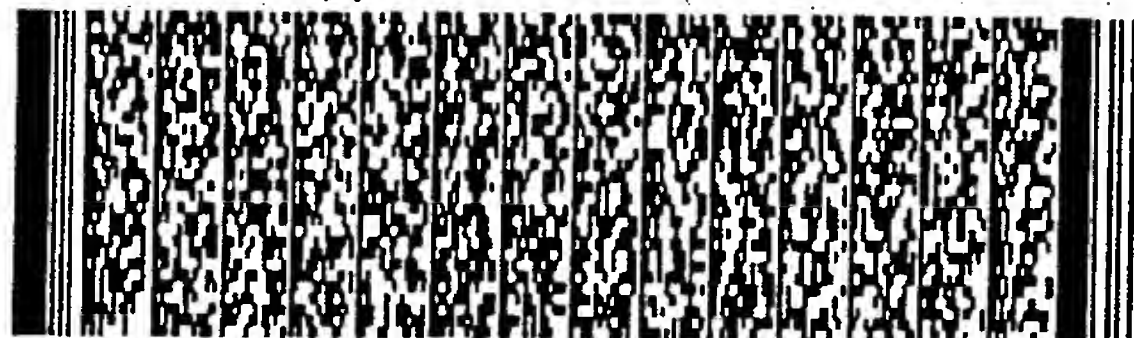
第 20/29 頁



第 21/29 頁



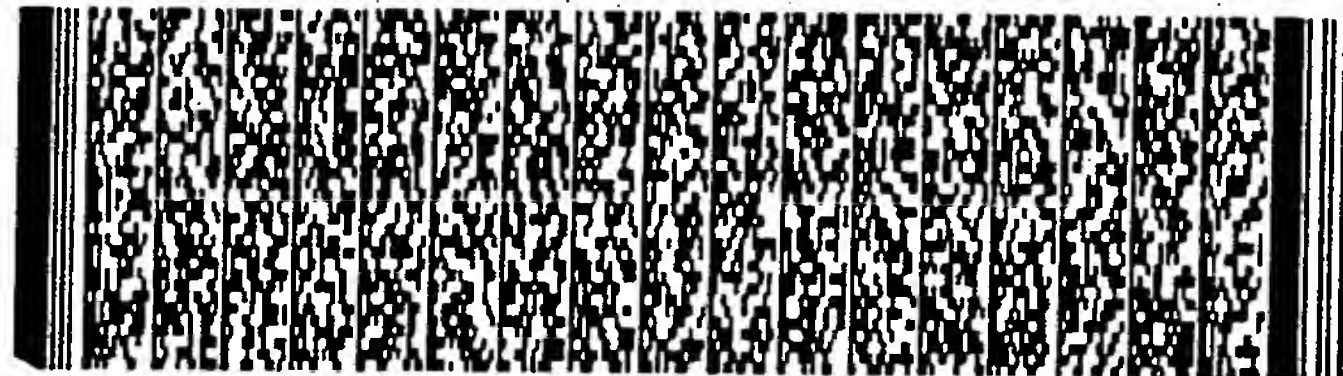
第 22/29 頁



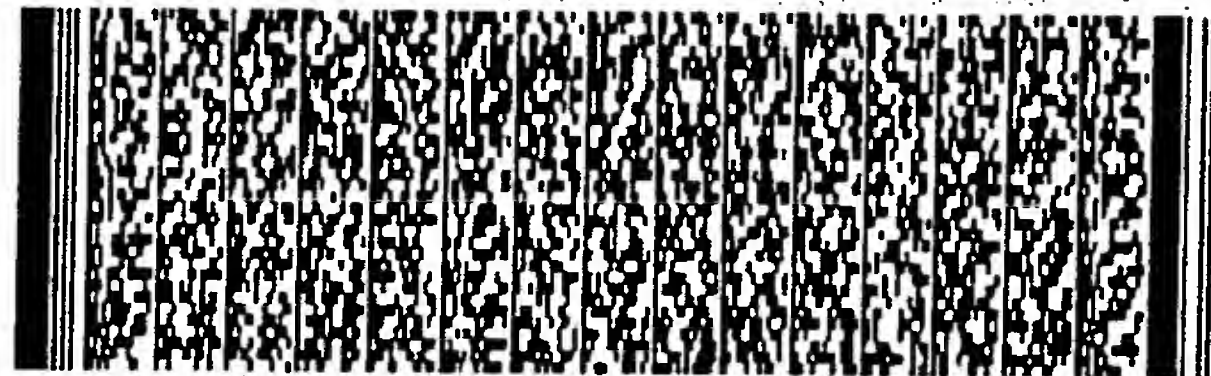
第 23/29 頁



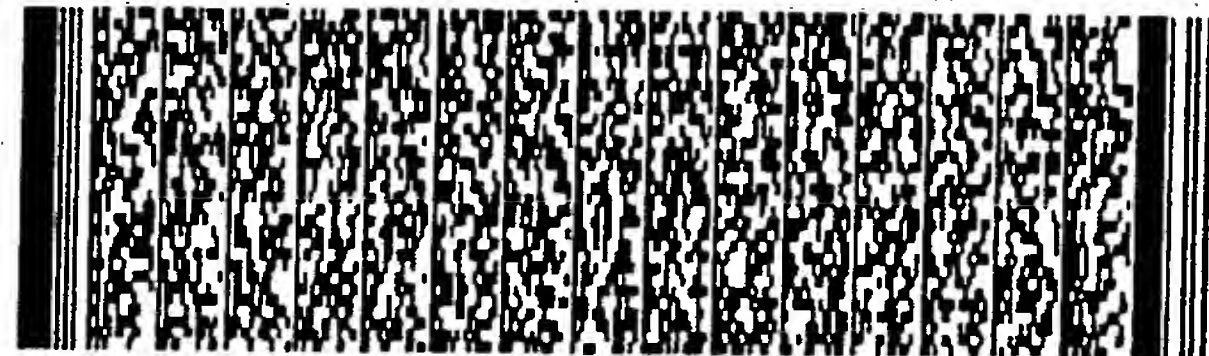
第 24/29 頁



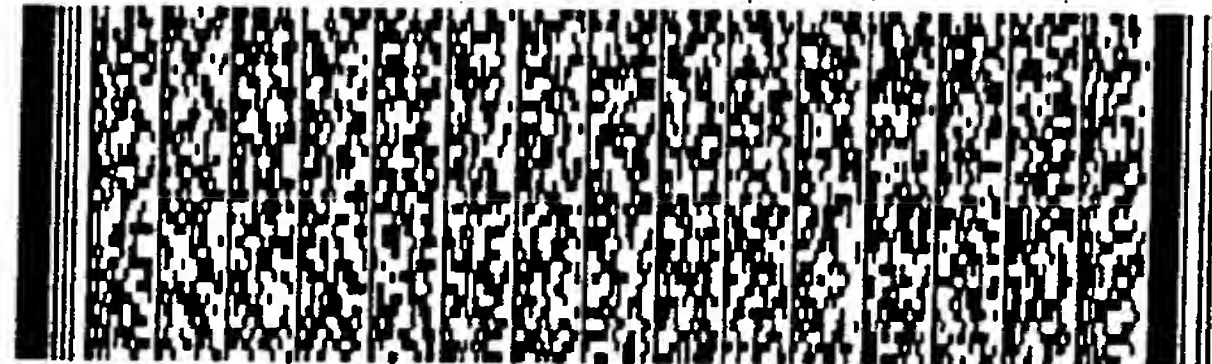
第 25/29 頁



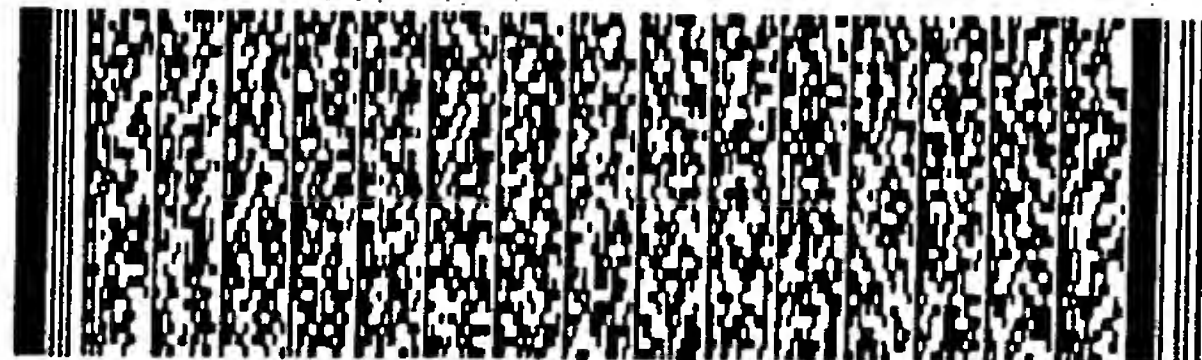
第 26/29 頁



第 27/29 頁



第 28/29 頁



第 29/29 頁

